БЛОК ЭЛЕМЕНТОВ
В977/01

Техническое описание и инструкция по эксплуатации

469535. 108 ТО

БЛОК ЭЛЕМЕНТОВ

В977/01

Техническое описание и инструкция
по эксплуатации

469535.108 ТО

на 210 стр.

СОДЕРЖАНИЕ

	стр.
1. ВВЕДЕНИЕ	4
2. НАЗНАЧЕНИЕ И СОСТАВ	4
3. ТЕХНИЧЕСКИЕ ДАННЫЕ	6
4. УСТРОЙСТВО И РАБОТА МОДУЛЯ	16
5. УКАЗАНИЕ МЕР БЕЗОПАСНОСТИ	191
6. ПОРЯДОК УСТАНОВКИ МОДУЛЯ	192
ПРИЛОЖЕНИЕ 1. Перечень элементов	194
Шинная структура модуля системного. Структурные схемы основных узлов модуля системного	202
ПРИЛОЖЕНИЕ 2. Схема электрическая принципиальная.	206

1. ВВЕДЕНИЕ

1.1. Настоящее техническое описание, совмещенное с инструкцией по эксплуатации, предназначено для изучения принципа работы блока элементов В977/01 (в дальнейшем БЭ), входящего в состав блока системного микро-ЭВМ широкого назначения "ПОИСК-3" (в дальнейшем ЭВМ), с целью правильной его эксплуатации.

БЭ составляет основу электронной части ЭВМ и одновременно служит объединительным устройством для установки дополнительных (до четырех) модулей расширения. БЭ выполнен на четырехслойной печатной плате размером 300 х 335 мм и содержит электронные компоненты и разъемы для внешних и внутренних соединений.

2. НАЗНАЧЕНИЕ И СОСТАВ

2.1. БЭ предназначен для выполнения операций ввода-вывода с устройствами внешней памяти, а также для обеспечения хранения, обмена и обработки информации во внешней памяти.

БЭ обеспечивает ввод информации с клавиатуры и вывод информации на экран видеотерминала и/или печатающего устройства.

БЭ обеспечивает информационный обмен с внешними устройствами через интерфейс Centronics, RS-232C.

2.2. БЭ предназначен для круглосуточной и сменной эксплуатации при нормальных климатических условиях:

1) температуре окружающего воздуха +(20+-5) ЦЕЛ;

2) относительной влажности воздуха (60+-15) %;

3) атмосферном давлении от 84 до 107 кПа

(от 630 до 800 мм рт.ст.).

2.3. БЭ является составной частью блока системного и имеет ряд разъемов для подключения к другим составным частям этого блока и внешним устройствам. Расположение разъемов, предназначенных для стыковки с составными частями блока системного и расширения системного интерфейса, определяется конструкцией самого блока, а разъемы, предназначенные для связи с внешними устройствами, распределены по краю печатной платы БЭ со стороны задней стенки ЭВМ. Через эти разъемы к БЭ подключаются следующие периферийные устройства ЭВМ:

- клавиатура;
- видеомонитор;
- печатающее устройство;
- устройство ввода типа "Мышь".

2.4. БЭ содержит следующие основные функциональные узлы:

- центральный процессор со схемами поддержки;
- контроллер ПДП со схемами поддержки;
- контроллер клавиатуры;
- контроллер динамической памяти;
- банк памяти емкостью 640 Кбайт;
- адаптер интерфейса жесткого диска;
- контроллер НГМД с интерфейсом в соответствии с ГОСТ 28 273-89;
- последовательный порт с интерфейсом RS-232;
- параллельный порт с интерфейсом CENTRONICS;
- многостандартный (EGA, CGA, MDA) видеоконтроллер.

2.5. Исполнения вариантов БЭ приведены в табл. 1.

Таблица 1

Шифр блока	Обозначение блока	Наличие сопроцессора 8087	Количество разъемов расширения системной шины	Наличие встроенного видеоконтроллера и интерфейса CENTRONICS
В977/01	ИПВБ.469535.108	-	1	+
В977/02	-01	-	4	+
В977/03	-02	+	4	+
В977/04	-03	-	4	-
В977/05	-04	+	4	-

3. ТЕХНИЧЕСКИЕ ДАННЫЕ

3.1 Основные технические характеристики БЭ и входящих в него интерфейсов:

- тип управляющего процессора КР1810ВМ86Б;
- разрядность шины данных процессора - 16 разрядов;
- разрядность шины адреса - 20 разрядов;
- рабочая частота процессора - 8 МГц;
- быстродействие (производительность), млн. операций в секунду (типа "регистр-регистр") - не менее 2;

- емкость системного ОЗУ - 640 Кбайт;

- емкость системного ППЗУ - 64 Кбайт;

- количество уровней прерывания - 8;

- разрядность шины данных системного интерфейса, 8;

- разрядность шины адреса системного интерфейса, 20;

- возможность расширения канала ввода-вывода (количество разъемов системного интерфейса) до четырех модулей;

- последовательный порт с интерфейсом RS-232 - 1;

- параллельный порт с интерфейсом CENTRONICS - 1;

- совместимость по электрическим и конструктивным характеристикам системного интерфейса и программному обеспечению с ПЭВМ типа PC, PC/XT, PS/2-30 фирмы IBM;

3.1.1. Технические характеристики адаптера интерфейса НЖМД

Адаптер интерфейса НЖМД предназначен для сопряжения ЭВМ с накопителями на жестких магнитных дисках со встроенным контроллером и обеспечивает поддержку до двух накопителей со стандартным интерфейсом IDE.

3.1.1.1. Входные характеристики интерфейса НЖМД:

- напряжение высокого уровня - не менее 2,0 В;

- напряжение низкого уровня - не более 0,8 В;

- максимальный входной ток высокого уровня - не более 20 мкА;

- максимальный входной ток низкого уровня - не более |-0,1| мА.

3.1.1.2. Выходные характеристики адаптера интерфейса НЖМД:

- напряжение высокого уровня - не менее 2,0 В;

- напряжение низкого уровня - не более 0,5 В;

- максимальный выходной ток высокого уровня - не менее 250 мкА;

- максимальный выходной ток низкого уровня - не менее 24 мА;

3.1.2. Технические характеристики контроллера НГМД

Контроллер НГМД предназначен для сопряжения ЭВМ с накопителями на гибких магнитных дисках и обеспечивает поддержку до двух накопителей диаметром 133-мм или 89-мм двойной и высокой плотности и программируемой длиной сектора данных: 128, 256, 512 или 1024 байт/сектор.

Формат данных совместим со стандартом IBM, используемым в персональных компьютерах IBM PC, PC/XT, PC/AT.

3.1.2.1. Контроллер имеет следующие входные характеристики для интерфейса НГМД:

- напряжение высокого уровня - не менее 2,0 В;
- напряжение низкого уровня - не более 0,8 В;
- максимальный входной ток высокого уровня - не более 20 мкА;
- максимальный входной ток низкого уровня - не более 0,4 мА.

3.1.2.2. Контроллер имеет следующие выходные характеристики для интерфейса НГМД:

- напряжение высокого уровня - не менее 2,4 В;
- напряжение низкого уровня - не более 0,5 В;
- максимальный выходной ток высокого уровня - не менее 250 мкА;
- максимальный выходной ток низкого уровня - не менее 40 мА.

3.1.3. Технические характеристики интерфейса RS-232:

- сопряжение периферийных устройств с последовательным

портом обеспечивается с помощью разъема СНП101-9ВП32, вынесенного на заднюю стенку ЭВМ;

- программируемая скорость передачи данных через последовательный интерфейс: 110, 150, 300, 600, 1200, 2400, 4800, 9600 БОД;

- входные и выходные характеристики для интерфейса соответствуют требованиям стандарта и имеют следующие значения:

- уровень логического нуля - положительное напряжение в диапазоне от 3,0 до 15 В;

- уровень логической единицы - отрицательное напряжение в диапазоне от минус 15 до минус 3.0 В;

- максимальный выходной ток высокого уровня - не менее 1,7 мА;

- максимальный выходной ток низкого уровня - не менее минус 1,7 мА;

- максимальный ток потребления - не более 8 мА.

3.1.4. Технические характеристики многостандартного видеоконтроллера.

Видеоконтроллер предназначен для вывода символьной и графической информации на монохромные и цветные мониторы и может быть использован совместно с мониторами стандартов EGA, CGA, MDA, MULTISYNC.

Сопряжение монитора с видеоконтроллером осуществляется с помощью разъема СНП101-9РП32, вынесенного на заднюю стенку ЭВМ.

Режимы работы видеоконтроллера, реализуемые им форматы и требуемые для этого мониторы приведены в табл. 2.

Таблица 2

Режимы работы видеоконтроллера

Режим	Цвета	Формат	Начало	Знакоместо	Страниц	Разрешение
		IBM Color Display				
0 а/ц	16	40x25	B800:0	8x8	8	320x200
1 а/ц	16	40x25	B800:0	8x8	8	320x200
2 а/ц	16	80x25	B800:0	8x8	8	640x200
3 а/ц	16	80x25	B800:0	8x8	8	640x200
4 граф	4	40x25	B800:0	8x8	1	320x200
5 граф	4	40x25	B800:0	8x8	1	320x200
6 граф	2	80x25	B800:0	8x8	1	640x200
D граф	16	40x25	A000:0	8x8	2/4/8	320x200
E граф	16	80x25	A000:0	8x8	1/2/4	640x200
		IBM Monochrome Display				
7 а/ц	4	80x25	B000:0	9x14	8	720x350
F граф	4	80x25	A000:0	8x14	1/2	640x350
		IBM Enchanced Color Display				
0 а/ц	16/64	40x25	B800:0	8x14	8	320x350
1 а/ц	16/64	40x25	B800:0	8x14	8	320x350
2 а/ц	16/64	80x25	B800:0	8x14	8	640x350
3 а/ц	16/64	80x25	B800:0	8x14	8	640x350
10 граф	16/64	80x25	A000:0	8x14	2	640x350

Видеоконтроллер формирует на контактах выходного разъема сигналы горизонтальной и вертикальной синхронизации и видеосигналы в соответствии с выбранным режимом и типом монитора (см. табл.3);

Таблица 3

Параметры синхросигналов видеоконтроллера

Тип монитора	Частота и полярность вертикальной синхронизации	Частота и полярность горизонтальной синхронизации	Видеосигналы
EGA	– 60 Гц	+ 21.8 КГц	R, r, G, g, B, b
CGA	+ 60 Гц	+ 15.6 КГц	R, G, B, I
MDA	– 50 Гц	+ 18.5 КГц	V, I

Напряжение высокого уровня выходных синхро- и видеосигналов видеоконтроллера при токе нагрузки-3 мА не менее 2,4 В.

Напряжение низкого уровня выходных синхро- и видеосигналов видеоконтроллера при токе нагрузки 24 мА не более 0,5 В.

Видеоконтроллер обеспечивает улучшенную (по сравнению с CGA) графику с разрешением до 640x350 точек, увеличенный до 8x14 формат знакоместа в новых символьных режимах, загрузку произвольных знакогенераторов, немерцающий скроллинг экрана. Одновременно видеоконтроллер поддерживает все "старые" режимы и сохраняет возможность работы с мониторами класса CGA и MDA.

Видеоконтроллер обеспечивает полную электрическую и конструктивную совместимость по разъемам внешних интерфейсов EGA, CGA, MDA, Centronics.

3.1.5. Технические характеристики интерфейса CENTRONICS:

- сопряжение периферийных устройств с параллельным портом обеспечивается с помощью разъема СНП101-25РП32, вынесенного на заднюю стенку ЭВМ;

- скорость передачи параллельной информации через интерфейс - не менее 100 Кбайт/с;

- входные характеристики интерфейса:

- напряжение высокого уровня - не менее 2,0 В;

- напряжение низкого уровня - не более 0,8 В;

- максимальный входной ток высокого уровня - не более 20 мкА;

- максимальный входной ток низкого уровня - не более 0,4 мА;

- выходные характеристики сигналов данных:

- напряжение высокого уровня - не менее 2,4 В;

- напряжение низкого уровня - не более 0,4 В;

- максимальный выходной ток высокого уровня - не менее 250 мкА;

- максимальный выходной ток низкого уровня - не менее 12 мА;

- выходные характеристики сигналов управления интерфейса:

- напряжение высокого уровня - не менее 2,4 В;

- напряжение низкого уровня - не более 0,4 В;

- максимальный выходной ток высокого уровня - не менее 250 мА;

- максимальный выходной ток низкого уровня - не менее 3,2 мА.

3.2. БЭ содержит дополнительные логические схемы поддержки возможностей ЭВМ.

- схему преобразования 16-разрядных операций ввода-вывода и обращений к внешней памяти в последовательные 8-разрядные операции;

- схему введения состояния ожидания во все операции ввода-вывода и прямого доступа в память (ПДП), кроме операций обращения к оперативной памяти.

Так, например, преобразование 16-разрядных операций в последовательные 8-разрядные операции занимает одиннадцать тактов по 125 нс, включая семь тактов ожидания (суммарное время цикла 1,375 мкс).

Обычные (байтовые) операции ввода-вывода, включая циклы подтверждения прерывания, занимают пять тактов по 125 нс с одним тактом ожидания. Сигнал готовности канала ввода-вывода "I/O CH RDY" позволяет более медленнодействующим устройствам вводить в операции ввода-вывода и ПДП дополнительные состояния ожидания.

Считывание из памяти и запись в память (системное ОЗУ)- 16-разрядные операции, занимающие четыре такта по 125 нс без состояний ожидания (суммарное время цикла - 500 нс).

Считывание из постоянной памяти (ППЗУ) тоже 16-разрядные операции, но занимающие пять тактов по 125 нс, включая один такт ожидания (суммарное время цикла - 625 нс).

3.3. Перечень элементов, шинная структура модуля системного и структурные схемы основных его узлов даны в приложении 1.

Схема электрическая принципиальная дана в приложении 2.

3.4. Блок центрального процессора содержит следующие основные функциональные узлы:

- микропроцессор КР1810ВМ86Б и логику его поддержки;
- гнездо для установки сопроцессра КМ1810ВМ87;
- контроллер прямого доступа к памяти КР1810ВТ37 и логику его поддержки;
- контроллер прерываний;
- системный таймер;
- контроллер клавиатуры;
- часы-календарь реального времени с батареей;
- схемы формирования сигналов системного интерфейса;
- группу разъемов (четыре) для подключения основных и дополнительных модулей расширения;

3.5. Блок памяти содержит следующие основные функциональные узлы:

- ППЗУ 64 Кбайт (ROM BIOS 48 К, BIOS видеоконтроллера 16 К)
- контроллер динамической памяти;
- ОЗУ с произвольной выборкой 640 Кбайт.

3.6. Блок центрального процессора

3.6.1. Микропроцессор КР1810ВМ86Б и логика его поддержки.

3.6.1.1. Микропроцессор обеспечивает 20-разрядную адресацию для доступа к 1 Мбайту памяти.

3.6.1.2. Для работы системных ППЗУ и ОЗУ используется 16-разрядная шина данных.

3.6.1.3. Все операции ввода-вывода и ПДП осуществляются через 8-разрядную шину данных.

3.6.1.4. Логика поддержки микропроцессора содержит две

компоненты:

-логику поддержки системы;

-логику поддержки ввода-вывода.

Логика поддержки системы содержит схемы:

- арбитража;

- контроллера шины;

- системного тактового генератора;

- генератора состояний ожидания и логики преобразования данных для согласования с восьмиразрядным системным интерфейсом;

- контроллера памяти;

- контроллера ПДП и логики его поддержки.

3.6.1.5. Логика поддержки ввода-вывода содержит:

- логику выбора устройств;

- контроллер клавиатуры;

- порты ввода-вывода.

Логика выбора устройств включает адресный селектор памяти и адресный селектор ввода-вывода.

4. УСТРОЙСТВО И РАБОТА БЭ

4.1. Краткое описание логики поддержки системы

Для подробного изучения модуля системного в данном описании представлены структурные схемы всего модуля и его основных функциональных узлов, а также схема принципиальная модуля системного.

4.1.1. На локальной шине ПЭВМ имеются три задатчика: микропроцессор, сопроцессор и контроллер ПДП. Схема арбитража

контролирует сигнал запроса захвата на управление системной шиной от контроллера ПДП. В случае, когда микропроцессор не управляет локальным каналом (цикла шины нет, либо состояние останова), контроллер ПДП может захватывать шину для запуска циклов ПДП. Схема арбитража разрешает конфликтные ситуации при смене задатчика ("хозяина") локального канала.

4.1.2. В состав арбитра входит генератор состояний ожидания для введения их в циклы микропроцессора при работе с устройствами ввода-вывода и внешней памяти. Схема генератора контролирует линию готовности канала ввода-вывода с целью определения потребности в состояниях ожидания.

4.1.3. Контроллер шины дешифрирует сигналы состояния, поступающие от микропроцессора (сопроцессора) в каждом машинном цикле и формирует сигналы команд и сигналы управления в соответствии с выполняемым циклом.

4.1.4. Системный тактовый генератор работает с частотой 24 МГц, которая делится внутри схемы для получения сигналов синхронизации частотой 8 МГц и 4 МГц. Выходной сигнал с частотой 24 МГц (меандр) используется для тактирования сдвигового регистра блока памяти для формирования временной диаграммы. Выходной сигнал с частотой 8 МГц (с коэффициентом заполнения 33 %) используется для тактирования микропроцессора, сопроцессора и контроллера шины. Этот сигнал поступает также на системный интерфейс через соответствующий буфер.

Выходной сигнал частотой 4 МГц используется для синхронизации работы контроллера ПДП. Тактовый генератор формирует сигнал "RESET" после включения питания и до выхода сигнала "PGOOD" из источника питания или после нажатия кнопки RESET на

лицевой панели ЭВМ. Кроме этого, тактовый генератор осуществляет синхронизацию сигнала готовности, поступающего от арбитра или из канала ввода-вывода и его трансляцию на микропроцессор и сопроцессор.

4.1.5. Контроллер ПДП КР1810ВТ37 используется для реализации прямого 8 -разрядного доступа к памяти по четырем независимым каналам. Он работает с частотой 4 МГц и обрабатывает только 8-битовые пересылки. Назначение каналов ПДП следующее: два из четырех каналов ПДП (1 и 3) входят в состав канала ввода-вывода и обеспечивают скоростную передачу данных между устройствами ввода-вывода и памятью без вмешательства микропроцессора. Пересылка данных по каналу ПДП в среднем занимает шесть тактов по 250 нс или 1,5 мкс. Для более медленно-действующих устройств с помощью перевода линии "I/O CH RD" в пассивное состояние может осуществляться введение дополнительных тактов.

Канал 0 ПДП используется для формирования циклов регенерации оперативной памяти, которые должны выполняться каждые 16 мкс для микросхем памяти 565РУ5 и 565РУ7.

Канал 2 ПДП используется контроллером гибких дисков для реализации функций обмена.

Более подробное описание контроллера ПДП приведено ниже..

4.1.6. Логика поддержки контроллера ПДП включает буфер младшего адреса, регистр старшего адреса и регистр-формирователь адреса сегмента. Команды и адрес сегмента с локальной шины передаются на канал ввода-вывода через отдельный буфер, являющийся общим для микропроцессора и контроллера ПДП.

4.1.7. Доступ к локальному каналу со стороны сопроцессора (если он установлен) осуществляется по линии передачи им-

пульсных сигналов запроса/разрешения "RQ/GT" по линии, соединяющей сопроцессор с микропроцессором.

Прооцесс доступа к шине осуществляется в следующем порядке:

1) сопроцессор формирует запросный (первый) импульс длительностью в один такт;

2) в конце текущего цикла микропроцессор выдает ответный (второй) импульс, подтверждающий возможность доступа к локальной шине. В следующем такте микропроцессор переводит шины адреса/данных и управления в высокоимпедансное состояние и отключается от канала;

3) по окончании работы с каналом сопроцессор выдает на ту же линию импульс (третий), указывающий на окончание захвата канала. В следующем такте микропроцессор возобновляет управление шиной.

Математический сопроцессор КМ1810ВМ87 предоставляет возможность скоростного выполнения арифметических действий, логарифмических функций и тригонометрических операций с высокой точностью.

4.2. Краткое описание логики выбора устройств

4.2.1. Логика выбора устройств включает адресный селектор памяти и адресный селектор ввода-вывода.

4.2.1.1. Адресный селектор памяти распределяет адресное пространство ЭВМ между внутренними и внешними устройствами памяти ОЗУ и ПЗУ путем формирования соответствующих сигналов управления для внутренней памяти и резервирования адресного пространства для устройств внешней памяти, имеющих свои адресные селекторы. Селектор памяти формирует признак обращения ко

всей памяти, расположенной на системной плате - "MEM16/"(ПЗУ и ОЗУ), признак обращения только к ПЗУ - "PROM/", признак обращения только к ОЗУ - "LRAM0" и "LRAM1" и сигналы выбора "CS0/" и "CS1/" при обращении к регистрам контроллера жесткого диска, используемым как область памяти. Область памяти в адресном пространстве A0000H-BFFFFH (128 Кбайт) зарезервирована и используется многостандартным (EGA, CGA, MDA) видеоконтроллером, имеющим свой адресный селектор памяти.

Распределение памяти и состояние (выходной уровень) сигналов селектора памяти представлены в табл. 4.

Таблица 4

Шестнадцатиричный адрес	Признак обращения к памяти						Функция	Примечание
	MEM16/	PROM/	LRAM0	LRAM1	Cs0/	Cs1/		
	D54: 12	D54: 11	D54: 10	D54: 9	D69: 9	D69: 7		
00000 - 7FFFF	0 *	1	1 *	0	1	1	Системное ОЗУ 640 Кбайт	512 К (565РУ7)
80000 - 9FFFF	0 *	1	0	1 *	1	1		128 К (565РУ5)
C0000 - C3FFF	0 *	0 *	0	0	1	1	Системное ППЗУ 64 Кбайт	BIOS видеоконтроллера 16 К
F4000 - FFFFF								ROM BIOS 48 К
EC000 - EDFFF	1	1	0	0	0 *	1	Зарезервированная область памяти 16 К, которая используется контроллером жесткого диска (интерфейс IDE) для реализации функций обмена	
EE000 - EFFFF	1	1	0	0	1	0 *		
A0000 - BFFFF	1	1	0	0	1	1	Зарезервированная область памяти 128 К, которая используется многостандартным видеоконтроллером	

Примечание. * - активный уровень сигнала.

469535.108 ТО

4.2.1.2. Адресный селектор ввода-вывода осуществляет адресацию устройств, подключенных к каналу ввода-вывода. Адреса портов устройств и их назначение приведены в табл. 5.

Таблица 5

Адреса порта (шестнадцатиричный)	Устройство ввода-вывода	Наименование сигнала
0000 - 000F	Контроллер ПДП	DMAS/
0020 - 002F	Контроллер прерываний	PICS/
0040 - 004F	Системный таймер	PITS/
0060 - 006F	Контроллер клавиатуры	PPIS/
0070 - 007F	Часы-календарь	RTCS/
0080 - 008F	Регистр адреса сегмента ПДП	SEGS/
00A0 - 00AF	Регистр маски NMI	NMIS/

Продолжение табл. 5

Адреса порта (шестнадцатиричный)	Устройство ввода-вывода	Наименование сигнала
0378 - 037F	Параллельный порт CENTRONICS	ВИС видеоконтроллера
03F0 - 03F7	Контроллер НГМД	ВИС поддержки контроллера НГМД
03F8 - 03FF	Последовательный порт RS-232	-

4.3. Контроллер ПДП

4.3.1. Контроллер ПДП выполнен на базе ВИС КР1810ВТ37 и используется для реализации прямого доступа к памяти по четырем независимым каналам с положительным или отрицательным приращением адреса со скоростью до 1,6 Мбайт/с.

4.3.2. Контроллер имеет широкие возможности программного управления и автоматической инициализации (повторения циклов ПДП с теми же параметрами). Каждый канал может выполнять до 64 К циклов ПДП. Тактовая частота составляет 4 МГц.

4.3.3. Канал 0 контроллера ПДП используется для формирования циклов регенерации оперативной памяти. Запрос прямого доступа к памяти по данному каналу DRQ0 поступает от системного таймера (выход канала 1) и фиксируется в триггере. Полярность сигнала "DRQ0" - положительная. Снимается запрос ПДП

сигналом подтверждения прямого доступа - "DACK0/". Полярность сигнала "DACK0/"- отрицательная. Сигнал "DACK0/" входит в состав системного интерфейса и может быть использован для организации циклов регенерации оперативной памяти устройств, подключенных к системному интерфейсу.

4.3.4. Канал 2 контроллера ПДП используется для реализации функций обмена с накопителями на гибких магнитных дисках. Запрос прямого доступа к памяти по данному каналу (DRQ2) поступает от контроллера гибких дисков. Снимается запрос ПДП сигналом "DACK2/". Полярность сигналов "DRQ2" и "DACK2/" такая же, как для канала 0.

Каналы 1 и 3 контроллера ПДП входят в состав системного интерфейса. Канал 3 может быть использован для реализации функций обмена с накопителем на жестких магнитных дисках. В этом случае сигнал запроса прямого доступа "DRQ3" должен поступать от контроллера НЖМД, подключенного к системному интерфейсу.

4.3.5. Каждый канал контроллера ПДП состоит из четырех 16 разрядных и четырех 8 разрядных регистров. Подробное описание каждого регистра приведено в табл. 6 и 7.

Таблица 6

Наименование 16-разрядных регистров контроллера ПДП	Назначение регистров
1. Регистр текущего адреса CAR	Хранит текущий адрес ячейки памяти при выполнении цикла ПДП. После выполнения цикла ПДП содержимое этого

Продолжение табл.6

Наименование 16-разрядных регистров контроллера ПДП	Назначение регистров
	регистра увеличивается или уменьшается на единицу. Оно может быть прочитано или загружено с помощью двух команд ввода-вывода. Содержимое регистра может быть обновлено по сигналу "TC/" (конец передачи данных в режиме ПДП), если запрограммирован режим автоинициализации.
2. Регистр циклов ПДП CWR	Хранит число байт, предназначенных для передачи. При загрузке этого регистра необходимо помнить, что загружаемая константа должна быть на единицу меньше числа байт, необходимых для передачи. При выполнении циклов ПДП регистр работает в режиме вычитающего счетчика. Разряд TC регистра состояния устанавливается в единицу при переходе из нулевого состояния в состояние FFFFH. Чтение и запись содер-

Продолжение табл. 6

Наименование 16-разрядных регистров контроллера ПДП	Назначение регистров
	жимого регистра осуществляется двумя последовательно выполняемыми командами ввода-вывода. Содержимое регистра может быть обновлено при автоинициализации по сигналу "ТС/", либо в регистре сохраняется значение FFFFH.
3. Регистр хранения базового адреса BAR	Хранит базовые значения адреса. Участвует в автоинициализации.
4. Регистр хранения базового числа циклов WCR	Хранит число циклов ПДП. Участвует в автоинициализации.

Таблица 7

Наименование 8-разрядных регистров каналов контроллера ПДП	Назначение регистров
1. Регистр режима MR	Определяет режим работы канала. При загрузке этого регистра в младших разрядах D1, D0 указывается код номера канала. Назначение разрядов MR показано на рис.1. С помощью разрядов D2, D3 задается один из типов передачи - чтение, запись, проверка. Эти разряды могут принимать любые значения при D6,D7=1. Разряд D4 определяет режим автоинициализации. Если D4=1, то при условии автозагрузки CAR и CWR загружаются параметрами BAR и WCR соответственно. Разряд D5 определяет режим изменения CAR .Если D5=0, после каждого цикла ПДП происходит увеличение содержимого CAR; если D5=1- то уменьшение. Разряды D6, D7 определяют режимы работы канала - передача по требованию, одиночная передача, блочная передача, контроллер в режиме

Продолжение табл. 7

Наименование 8-разрядных регистров каналов контроллера ПДП	Назначение регистров
	каскадирования.
2. Регистр памяти CR	Определяет основные параметры работы канала. Загрузка регистра CR осуществляется командой вывода от ЦП, а сброс - по сигналу "RESET" или команде общего сброса. Назначение разрядов регистра показано на рис.2. Разряды D0, D1 используются для задания режимов работы каналов 0 и 1 в режиме память- память. Разряд D2 инициализирует контроллер для выполнения ПДП, разряд D3 определяет режим выполнения циклов ПДП. Если D3=1, циклы ПДП выполняются с пропуском одного такта при изменении адреса в пределах младшего байта. Разряд D4 устанавливает режим приоритетов. Если D4=1, запросу обслуженного канала присваивается наинизший приоритет (режим вращения

Продолжение табл. 7

Наименование 8-разрядных регистров каналов контроллера ПДП	Назначение регистров
	приоритета). Разряд D5 устанавливает режим удлинённого цикла записи. Если D5=1, сигналы "IOW/" и "MWR/" вырабатываются с двойной длительностью. Разрядами D6, D7 программируются уровни запросов на ПДП (DRQ) и сигналов подтверждения ПДП (DACK).
3. Регистр условий SR	Разряды D3-D0 регистра устанавливаются аппаратно при возникновении сигнала "TC/", т.е. после окончания циклов ПДП. Эти сигналы сбрасываются (устанавливаются в нуль) сигналом "RESET", а также после выполнения команды чтения содержимого этого регистра. Разряды D4-D7 устанавливаются программно при необходимости обслуживания по соответствующему каналу. Назначение разрядов регистра условий показано на рис.3.

Продолжение табл. 7

Наименование 8-разрядных регистров каналов контроллера ПДП	Назначение регистров
4. Регистр запросов RR	Контроллер может обслуживать запросы на ПДП, формируемые как аппаратно - по входам DRQ, так и программно - по состоянию разрядов регистра запросов RR. Каждый разряд этого регистра соответствует запросу по одному из каналов. Разряды этого регистра не маскируются и устанавливаются раздельно программно. Программная установка этих разрядов осуществляется командой, формат которой представлен на рис. 4. Сброс всех разрядов регистра RR осуществляется сигналом "RESET". Для обработки программного запроса контроллер должен быть запрограммирован в режиме блочной передачи.
5. Регистр маски MASK	С помощью него могут быть замаскированы сигналы "DRQ" каждого канала. Разряды MASK могут быть установлены специальной командой одновременно (рис. 5) или раздельно (рис. 6).

Продолжение табл. 7

Наименование 8-разрядных регистров каналов контроллера ПДП	Назначение регистров
	Кроме того, если канал не запрограммирован на режим автозагрузки, после появления сигнала "TC/" соответствующий разряд регистра устанавливается в единицу. Все разряды MASK принимают нулевые значения по сигналу "RESET" либо по команде "CMR" (Clear Mask Register).

4.3.6. При начальной загрузке контроллера ПДП исходными араметрами происходит одновременная запись в регистры CAR, AR, CWR и WCR.

В процессе выполнения циклов ПДП содержимое регистров BAR и WCR не изменяется. Прочитать состояние этих регистров невозможно.

4.3.7. Режимы работы ПДП

Контроллер ПДП может работать в двух основных режимах:

- с центральным процессором (ЦП);

- выполнения циклов ПДП.

4.3.7.1. В режиме работы с ЦП контроллер воспринимается им как внешнее устройство, а после загрузки управляющих слов

переходит в пассивное состояние. В этом состоянии контроллер находится до тех пор, пока на вход одного из каналов не поступит запрос на ПДП DRQ или этот запрос не будет выставлен программно от ЦП. Обнаружив запрос на ПДП, контроллер переходит в следующее состояние, характеризующееся тем, что контроллер выставляет сигнал запроса на захват системной шины HRQ, ожидая от ЦП сигнала подтверждения захвата "HLDA".

4.3.7.2. При получении сигнала "HLDA" контроллер начинает выполнять циклы ПДП. Если при выполнении циклов ПДП на вход DMARDY подать потенциал низкого уровня, контроллер начинает выполнять такты ожидания. При этом линии передачи данных остаются активными.

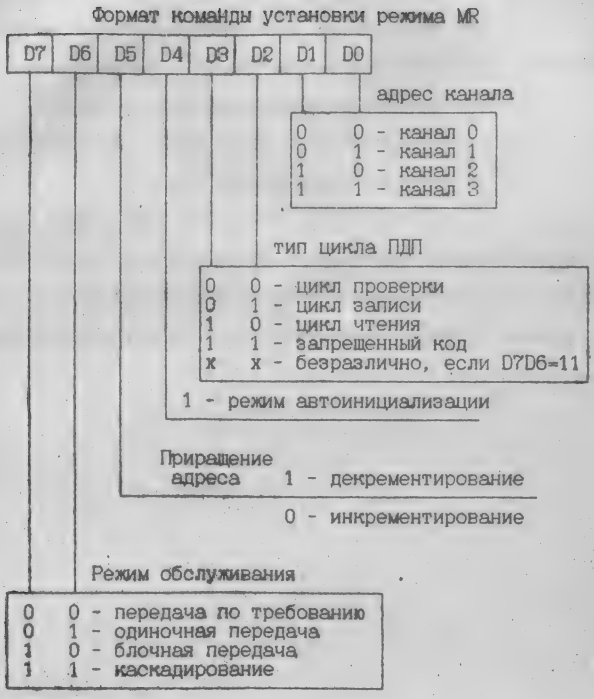

Формат команды установки режима MR
D7 D6 D5 D4 D3 D2 D1 D0
адрес канала
0 0 - канал 0
0 1 - канал 1
1 0 - канал 2
1 1 - канал 3
тип цикла ПДП
0 0 - цикл проверки
0 1 - цикл записи
1 0 - цикл чтения
1 1 - запрещенный код
x x - безразлично, если D7D6=11
1 - режим автоинициализации
Приращение адреса
1 - декрементирование
0 - инкрементирование
Режим обслуживания
0 0 - передача по требованию
0 1 - одиночная передача
1 0 - блочная передача
1 1 - каскадирование

Рис. 1

Формат команды управления CR

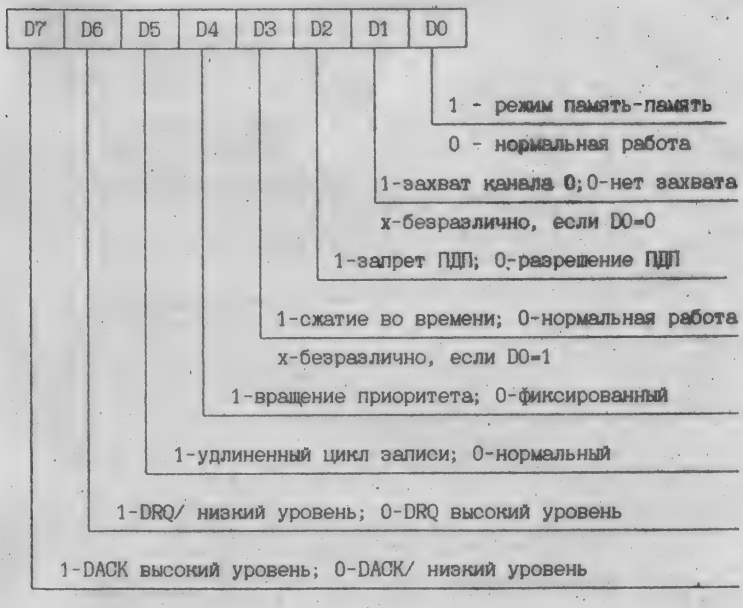


Рис. 2

Формат слова состояния

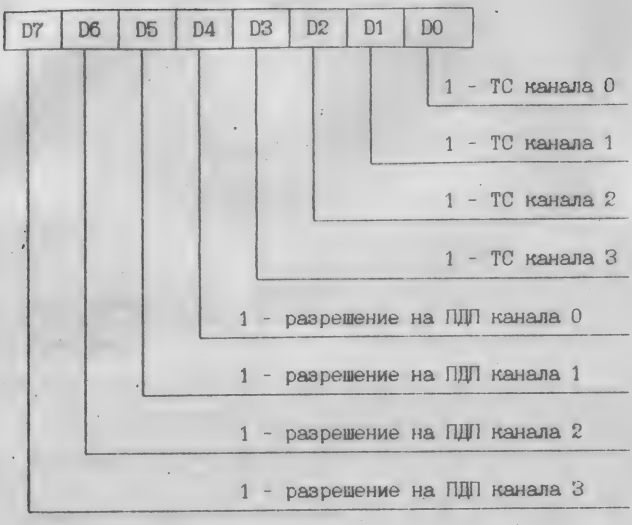


Рис.3

Формат команды установки запросов на ПДП

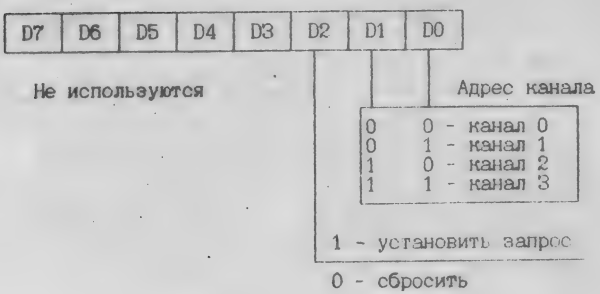


Рис.4

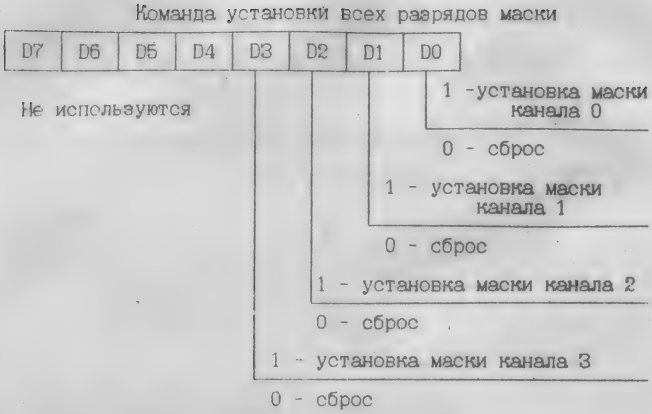

Команда установки всех разрядов маски
D7
D6
D5
D4
D3
D2
D1
D0
Не используются
1 -установка маски канала 0
0 - сброс
1 - установка маски канала 1
0 - сброс
1 - установка маски канала 2
0 - сброс
1 - установка маски канала 3
0 - сброс

Рис.5

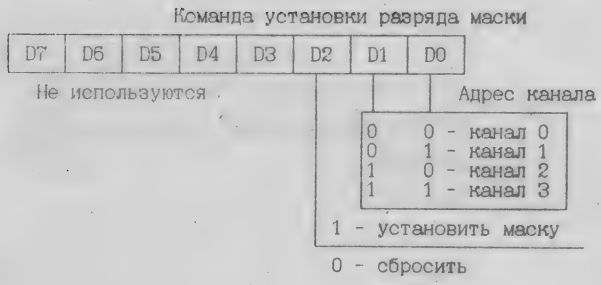

Команда установки разряда маски
D7
D6
D5
D4
D3
D2
D1
D0
Не используются
Адрес канала
0 0 - канал 0
0 1 - канал 1
1 0 - канал 2
1 1 - канал 3
1 - установить маску
0 - сбросить

Рис.6

В пассивном состоянии происходит опрос входов запросов на ПДП и возможно взаимодействие с ЦП с помощью обычных команд ввода-вывода.

4.3.7.3. Контроллер может быть запрограммирован для выполнения режимов ПДП, приведенных в табл. 8.

Таблица 8

Вид режима	Выполнение режима
1. Режим одиночной передачи	Осуществляется передача одного байта, при этом содержимое счетчика циклов ПДП (CWR) уменьшается, а содержимое адресного регистра (CAR) уменьшается или увеличивается на единицу. Бит окончания передачи (TC) в регистре условий устанавливается в единицу, когда содержимое CWR примет значение FFFFH. Вход DRQ должен поддерживаться в активном состоянии до прихода сигнала "DACK/". Если DRQ остается активным и после передачи одного байта, сигнал "HRQ" снимается, а новый цикл передачи возможен с приходом очередного сигнала "HLDA".
2. Режим блочной передачи	Циклы ПДП осуществляются до момента установления бита TC в регистре усло-

Продолжение табл. 8

Вид режима	Выполнение режима
	вий, т.е. когда счетчик циклов ПДП CWR примет значение FFFFH или передача остановится по внешнему сигналу "TC/". Циклы передачи могут быть возобновлены, если канал был запрограммирован на автоинициализацию.
3. Режим передачи по требованию	Циклы ПДП продолжаются до тех пор, пока не установится разряд TC в регистре условий либо не снимется сигнал "DRQ". В этом режиме передача может осуществляться, пока внешнее устройство не закончит передачу информации.
4. Режим передачи память-память	Не используется.

4.3.7.4. Тип передачи ПДП

Во всех режимах ПДП, указанных в табл.8 возможны три основных типа передачи:

1) запись данных - осуществляется передача данных от внешнего устройства к ОЗУ. Контроллер в этом случае активизирует сигналы "MWR/" и "IOR/";

2) чтение данных - осуществляется передача данных от ОЗУ к внешнему устройству, активизируются сигналы "MRD/" и "IOW/".

В случае проверки или псевдопередачи контроллер выполняет действия такие же, как в цикле чтения/записи, но сигналы управления не вырабатываются. В этом случае сигнал"DMARDY" не воспринимается.

3) контроллер может быть запрограммирован для обслуживания каналов с жестко заданным приоритетом либо с их циклическим изменением. При жестко заданном приоритете наивысший приоритет устанавливается за каналом с меньшим номером. При циклическом изменении самый низкий приоритет присваивается каналу после его обслуживания. Это позволяет обслуживать все каналы поочередно.

4.4. Программирование контроллера ПДП

4.4.1. Программирование контроллера осуществляется от ЦП командами ввода-вывода и возможно только в пассивном состоянии или при наличии на выходе HLDA напряжения низкого уровня, если даже присутствует сигнал "HRQ". Начальную инициализацию контроллера необходимо осуществить сразу же после включения напряжения питания по всем каналам, если даже они не используются, загружая команды и константы. Адреса внутренних регистров контроллера определяются кодом на выходах А3-А0.

4.4.2. В табл. 9 показаны коды А3-А0 (номера портов ввода-вывода), соответствующие выполняемым командам ЦП.

Таблица 9

Номер порта	A3	A2	A1	A0	Команда	Операция
08H	1	0	0	0	Ввод	Чтение регистра состояния
08H	1	0	0	0	Вывод	Запись в регистр команд управления
09H	1	0	0	1	Вывод	Запись в регистр запросов
0AH	1	0	1	0	Вывод	Установка всех разрядов маски
0BH	1	0	1	1	Вывод	Запись в регистр режима
0CH	1	1	0	0	Вывод	Установка режима ввода младшего байта
0DH	1	1	0	1	Ввод	Чтение регистра временного хранения
0DH	1	1	0	1	Вывод	Общий сброс
0EH	1	1	1	0	Вывод	Сброс всех разрядов маски
0FH	1	1	1	1	Вывод	Установка разряда маски

4.4.3. В табл.10 приведены коды A3-A0 (номера портов ввода-вывода), соответствующие адресам регистров контроллера ПДП.

Таблица 10

Номер порта	A3	A2	A1	A0	Команда	Операция
00H	0	0	0	0	Вывод	Загрузка младшего/старшего байта в регистры BAR и CAR канала 0
00H	0	0	0	0	Ввод	Чтение содержимого CAR канала 0
01H	0	0	0	1	Вывод	Загрузка младшего/старшего байта в регистры WCR и CWR канала 0
01H	0	0	0	1	Ввод	Чтение содержимого CWR канала 0
02H	0	0	1	0	Вывод	Загрузка младшего/старшего байта в регистры BAR и CAR канала 1
02H	0	0	1	0	Ввод	Чтение содержимого CAR канала 1
03H	0	0	1	1	Вывод	Загрузка младшего/старшего байта в регистры WCR и CWR канала 1
03H	0	0	1	1	Ввод	Чтение содержимого CWR канала 1
04H	0	1	0	0	Вывод	Загрузка младшего/старшего байта в регистры BAR и CAR канала 2
04H	0	1	0	0	Ввод	Чтение содержимого CAR канала 2

Продолжение табл. 10

Номер порта	A3	A2	A1	A0	Команда	Операция
05H	0	1	0	1	Вывод	Загрузка младшего/старшего байта в регистры WCR и CWR канала 2
05H	0	1	0	1	Ввод	Чтение содержимого CWR канала 2
06H	0	1	1	0	Вывод	Загрузка младшего/старшего байта в регистры BAR и CAR канала 3
06H	0	1	1	0	Ввод	Чтение содержимого CAR канала 3
07H	0	1	1	1	Вывод	Загрузка младшего/старшего байта в регистры WCR и CWR канала 3
07H	0	1	1	1	Ввод	Чтение содержимого CWR канала 3

Внимание! Так как константы всегда представлены 16-разрядным словом, их загрузка требует выполнения двух последовательных операций вывода с одинаковым кодом (номером порта).

Внутренний триггер управляет последовательностью ввода. Сначала загружается младший байт, затем - старший.

4.4.4. Регистр адреса сегмента ПДП

4.4.4.1. Регистр адреса сегмента ПДП служит для формирования четырех старших разрядов адреса ADDR19 - ADDR16 в цик-

лах ПДП. Регистр представляет собой оперативное запоминающее устройство (регистровое ОЗУ), состоящее из четырех 4-битовых ячеек с произвольным доступом (по количеству каналов ПДП).

Запись информации в ячейки памяти осуществляется путем обращения к портам ввода-вывода с адресами 80Н-83Н.

Порт 80Н - канал 0 ПДП (не используется).

Порт 81Н - канал 2 ПДП (гибкий диск).

Порт 82Н - канал 3 ПДП (жесткий диск с внешним адаптером).

Порт 83Н - канал 1 ПДП (зарезервирован).

Назначение битов данных портов 80Н-83Н.

Бит 0 - разряд адреса ADDR16.

Бит 1 - разряд адреса ADDR17.

Бит 2 - разряд адреса ADDR18.

Бит 3 - разряд адреса ADDR19.

Биты 4-7 - не используются.

4.5. Контроллер прерываний

4.5.1. Программируемый контроллер прерываний (ПКП) выполняет функцию основного узла в системе, работающей в условиях прерывания. Он принимает запросы от периферийного оборудования и внутренних устройств БЭ, определяет, какой из поступивших запросов имеет более высокий приоритет, чем тот, который обслуживается в настоящий момент, и, определив это, может выдать прерывание центральному процессору (ЦП).

Основными функциями ПКП являются:

1) разрешение приоритета запросов прерывания;

2) передача ЦП одного запроса прерывания согласно приоритету;

3) передача ЦП номера прерывания для обслуживания прерывающего устройства.

Контроллер прерываний выполнен на базе БИС КР1810ВН59А, обеспечивающей наиболее эффективную реализацию системы векторных прерываний микропроцессора 8086.

4.5.2. В табл.11 приведены уровни запросов прерывания в соответствии с источниками запросов, используемыми в ЭВМ.

Таблица 11

Уровень запроса прерывания	Вектор прерывания (шестнадцатиричный)	Источник запроса прерывания
IRQ0	8	Системный таймер (канал 0)
IRQ1	9	Контроллер клавиатуры
IRQ2*	A	Многостондартный видеоконтроллер или часы - календарь с батареей
IRQ3*	B	Часы - календарь с батареей
IRQ4	C	Последовательный порт "RS-232"

Продолжение табл. 11

Уровень запроса прерывания	Вектор прерывания (шестнадцатиричный)	Источник запроса прерывания
IRQ5	D	Контроллер жестких дисков
IRQ6	E	Контроллер гибких дисков
IRQ7	F	Параллельный порт "CENTRONICS"

Примечание. Уровень прерывания, помеченный "*", устанавливается с помощью переключателя SW1 и перемычек на колодке S2 в соответствии с табл.12.

Линии запросов прерывания IRQ0 и IRQ1 закреплены за источниками запросов (устройствами), расположенными только на системной плате.

Линии запросов прерываний IRQ2 - IRQ7 дополнительно входят в состав системного интерфейса, что допускает поступление запросов на прерывание от разных источников. Данное обстоятельство налагает определенные требования по их использованию.

Линии запросов IRQ2, IRQ3 и IRQ7 допускают возможность коммутации источноков запросов прерывания от устройств, распо-

ложенных на системной плате. При этом данные линии могут быть использованы другими устройствами подключенными к системному интерфейсу:

1) запрос прерывания от часов - календаря может быть запрещен путем записи в порт 61H байта данных с установленным в "1" битом D3;

2) штатное использование линии IRQ4 - с последовательным портом COM1, который реализован на системной плате. Для запрета прерывания от порта COM1 необходимо последовательно записать в порты 3FBH и 3F9H байт данных с нулевыми битами D0-D7. После этого линию IRQ4 можно использовать для прерываний от других устройств;

3) линия IRQ5 в IBM-совместимых машинах обычно используется для прерываний от адаптера накопителей на жестких магнитных дисках. В микро-ЭВМ "ПОИСК-3" могут использоваться два типа накопителей: с интерфейсом IDE или с интерфейсом ST506/412 (MFM). В случае установки адаптера жесткого магнитного диска с интерфейсом MFM, который содержит свой BIOS, обращения к контроллеру жестких дисков с интерфейсом IDE запрещены, тем самым допускается возможность использования одной линии для обслуживания запросов прерывания IRQ5;

4) линия IRQ6 используется для обслуживания прерываний от контроллера НГМД. При необходимости использования этой линии в других целях прерывания от контроллера должны быть запрещены. Для этого необходимо записать в порт 3F2H байт данных с установленным в "0" битом D3;

5) линия IRQ7 может быть использована для обслуживания прерываний от параллельного порта с интерфейсом "Centronics"

(контакты 2-3 переключателя SW1 замкнуты). При необходимости передачи запросов по этой линии от других источников, прерывания от контроллера параллельного интерфейса необходимо запретить путем записи в порт 37АН байта данных с установлением в "0" битом D4.

Таблица 12

Переключатель SW1		Колодка S2		Уровень запроса прерывания	Источник прерывания
1 - 4	2 -3	1 - 2	2 - 3		
-	-	-	-	IRQ2, IRQ3 IRQ7	Пользовательский
+	-	-	-	IRQ2	Видеоконтроллер системной платы
-	+	-	-	IRQ7	Параллельный порт системной платы
-	-	+	-	IRQ3	Часы-календарь системной платы
-	-	-	+	IRQ2	Часы - календарь системной платы

Примечания. "+" - переключатель замкнут, либо установлена перемычка.

"-" - переключатель разомкнут, либо перемычка не установлена.

4.5.3. Работа ПКП

Один или несколько запросов на прерывание (переход из 0 в 1) подаются на входы IR0-IR7 ПКП и запоминаются в регистре запросов IRR (Interrupt Reguest Register). Регистр обслуживания ISR (Intservice Register) хранит все запросы, которые в данное время находятся в стадии обработки. Регистр маски IMR (Interrupt Mask Register) используется для маскирования отдельных уровней. Запрет некоторого уровня соответствует единице в соответствующем разряде IMR.

Приоритетная логика выбирает запрос с наивысшим приоритетом из числа поступивших и сравнивает его с текущим приоритетом запросов, находящихся на обслуживании. При превышении последнего ПКП генерирует сигнал "INTR", поступающий на микропроцессор. Микропроцессор подтверждает прием запроса INTR генерацией строба "INTA/", под воздействием которого запрос с высшим приоритетом из IRR фиксируется в соответствующем разряде ISR.

Принятый к обслуживанию IRR-бит сбрасывается и прием нового запроса разрешается. Микропроцессор генерирует следующий цикл подтверждения прерывания INTA, в течение которого принимает по линиям AD7-AD0 от ПКП вектор обслуживаемого запроса прерывания.

Установленный в ISR бит остается в состоянии 1 до окончания процедуры обслуживания. В конце процедуры в ПКП должна быть передана специальная команда окончания прерывания EOI, которая сбрасывает соответствующий ISR-бит. До тех пор, пока

некоторый ISR-бит установлен, все запросы с равным или меньшим приоритетом игнорируются. В то же время запросы с более высоким приоритетом приводят к генерации сигнала "INTR", инициируя вложенные прерывания микропроцессора.

4.5.4. Программирование ПКП

4.5.4.1. ПКП может быть запрограммирован на работу в одном из следующих режимов:

1) режим полной вложенности;

2) специальный режим полной вложенности;

3) режим автоматической циклической смены приоритетов;

4) режим избирательной циклической смены приоритетов;

5) режим специального маскирования;

6) режим спроса.

4.5.4.2. Режим полной вложенности

В этом режиме входным сигналам ПКП присваивается приоритет от 0 до 7.. ПКП работает в данном режиме, если не задан другой режим.

Прерывание "IRQ0" имеет наивысший паритет, а "IRQ7"- наинизший. Когда прерывание подтверждается, "ЦП" получает получает прерывание с наивысшим паритетом.

Прерывания с более низким приоритетом при этом запрещаются; прерывания с более высоким приоритетом генерируют прерывание, которые подтверждаются, если ЦП программно разрешил свое прерывание. Для гашения ПКП для следующего прерывания ему требуется команда ЦП "Конец прерывания" (EOI) (если только он не работает в режиме автоматической EOI).

4.5.4.3. Специальный режим полной вложенности

Этот режим используется, олько тогда, когда к ведущему ПКП подключен один или несколько ведомых ПКП, в случае чего приоритет поддерживается в ведомых ПКП. В БЭ данный режим не используется.

4.5.4.4. Режим автоматической циклической смены приоритетов

В этом режиме производится циклический сдвиг приоритета. Как только прерывание на данном входе обслужено, оно получает наинизший приоритет. Сдвиг приоритета происходит тогда, когда ПКП получает команду "EOI".

4.5.4.5. Режим извирательный циклической смены приоритетов

В этом режиме возможно программное изменение приоритета прерываний путем указания наинизшего приоритета, что автоматически устанавливает и наивысший приоритет. Например, если IRQ5 присвоен наинизший приоритет, то наивысший приоритет получает IRQ6. В режиме избирательного циклического сдвига приоритет сдвигается записью в ПКП команды "Избирательный сдвиг по концу прерывания "SEOI". Эта команда содержит двоичный код обслуженного прерывания, которому и присваивается наинизший приоритет, кроме того, наинизший приоритет может выть зафиксирован в любой момент путем записи команды задания приоритета.

4.5.4.6. Специальный режим маскирования

В режиме полной вложенности все уровни регистра прерываний с приоритетом равным или более низким, чем приоритет обслуживаемого прерывания, запрещены. Для разрешения в такой ситуации прерываний с более низким приоритетом должен использоваться режим специального маскирования.

Управляя регистром маскирования прерываний, режим специального маскированияразрешает прерывания по всем уровням, кроме обслуживаемого в данный момент. Это делается маскированием того уровня, который обслуживается, а также любых других уровней, прерывания по которым нежелательны с помощью команды управления ЭОСW1" и последующей записью команды специального маскирования. Для прерывания в ПКП записывается команда "ОСW3" с ESMM-1, SMM-0. Описание команд управления приведено ниже.

4.5.4.7. Режим опроса

В этом режиме внутренний триггер ЦП разрешения прерывания погашен (прерывания запрещены) и программно инициируется команда опроса. В режиме опроса адресуемый ПКП реагирует на команды ввода как на подтверждение прерывания, устанавливает при наличии запроса прерывания свой внутренний триггер обслуживания и выдает уровень приоритета. Этот режим используется в тех случаях, когда несколько устройств обслуживается одной общей подпрограммой.

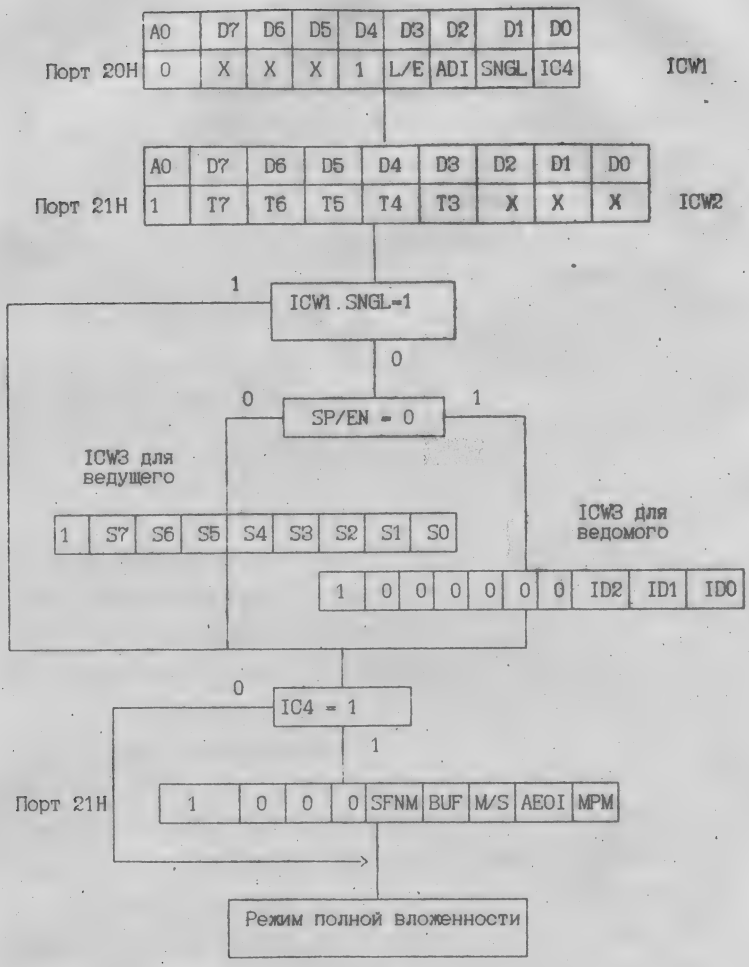

A0 D7 D6 D5 D4 D3 D2 D1 D0
Порт 20H 0 X X X 1 L/E ADI SNGL IC4
ICW1
A0 D7 D6 D5 D4 D3 D2 D1 D0
Порт 21H 1 T7 T6 T5 T4 T3 X X X
ICW2
1
ICW1.SNGL=1
0
0
SP/EN = 0
1
ICW3 для ведущего
1 S7 S6 S5 S4 S3 S2 S1 S0
ICW3 для ведомого
1 0 0 0 0 0 0 ID2 ID1 ID0
0
IC4 = 1
1
Порт 21H
1 0 0 0 SFNM BUF M/S AEOI MPM
Режим полной вложенности

Рис.7

Для работы в заданном режиме ПКП требуется инициализация. Последовательность инициализации состоит из трех командных слов инициализации ICW (Initialization Gommand Word) в этом случае с одним ПКП и требует четыре командных слова для ведущего ПКП с одним или несколькими (до 8) подчиненными, в соответствии с процедурой, приведенной на рис.7.

4.5.4.8. В состав ВЭ входит один ПКП и для его инициализации требуются три командных слова: "ICW1", "ICW2" и "ICW4". Наименование и назначение битов "ICW1" следующее:

D0 - (ICW4) - необходимость в "ICW4"; при использовании с процессором серии 1810 D0 = 1.

D1 - (SNGL) - каскадируемость:
D1 = 0 - ПКП каскадируемый,
D1 = 1 - ПКП одиночный.

D2 - (ADI) - задание адресного интервала; при использовании с процессором серии 1810 состояние D2 безразлично.

D3 - (L/E) - определяет тип входов прерываний;
D3 = 0 - входы импульсные,
D3 = 1 - входы потенциальные.

D4 = 1 - признак "ICW1".

D5 - D7 - с процессором серии 1810 безразлично.

Второе командное слово инициализации "ICW2" представляет тип прерывания (идентификатор) и требуется ЦП 1810ВМ86 для его отработки. ЦП 1810ВМ86 может отрабатывать 256 различных типов прерывания. в команде "ICW2" D3...D7 заносится базовая часть вектора прерывания (задается программистом). Разряды D0...D2 представляют уровень запроса прерывания.

Эти биты добавляются контроллером при обработке прерывания и являются младшими битами типа прерывания. При инициализации ПКП в эти биты должны записываться "0". ЦП 1810ВМ86 умножает байт вектора на 4. Полученное число используется ЦП в качестве векторного адреса.

В команде "ICW2" биты D0 - D2 с процессором серии 1810 не используются, а в разряды D3 - D7 заносится базовая часть вектора прерывания. Вектор прерывания имеет следующий формат:

	Базовая часть вектора прерывания					Уровень запроса		
	D7	D6	D5	D4	D3	D2	D1	D0
IRQ7	T7	T6	T5	T4	T3	1	1	1
IRQ6	T7	T6	T5	T4	T3	1	1	0
IRQ5	T7	T6	T5	T4	T3	1	0	1
IRQ4	T7	T6	T5	T4	T3	1	0	0
IRQ3	T7	T6	T5	T4	T3	0	1	1
IRQ2	T7	T6	T5	T4	T3	0	1	0
IRQ1	T7	T6	T5	T4	T3	0	0	1
IRQ0	T7	T6	T5	T4	T3	0	0	0

Команда инициализации ICW3 в данном БЭ не используется, так как применен ПКП в одиночном включении.

Назначение битов команды "ICW4" следующее:

MPM = 1 переводит ПКП в режим работы с процессором серии 1810.

AEOI - указывает режим окончания прерывания (EOI):
AEOI = 1 - EOI выполняется автоматически;
AEOI = 0 - требуется сбросить обслуженный запрос (соответствующий бит регистра ISR) с помощью команды EOI в команде управления OCW2 перед выходом из программы обслуживания.

M/S - используется совместно с битом BUF для управления шинными формирователями при работе с буферизированной шиной и указывает, кому адресовано "ICW4"-ведущему (M/S=0) ПКП:

D7 - D0	BUF	M/S	Вывод SP/EN	Режим
входы	0	X	вход	без буферизации данных
выходы	1	1	0	с буферизацией данных/ведущий ПКП
выходы	1	0	0	с буферизацией данных/ведомый ПКП

"SFNM" - установка этого флага в "1" снимает требование полной вложенности приоритетов и разрешает прием новых запросов с линии, только что принятой к обслуживанию.

4.5.4.9. Команды управления "OCW1"-"OCW3" могут быть переданы в ПКП в любое время после окончания инициализации. Они предназначены для оперативного управления работой контроллера путем выполнения следующих операций:

1) автоматический циклический сдвиг приоритетов;

2) избирательный сдвиг приоритетов;

3) чтение содержимого регистра запросов прерывания IRR;

4) чтение содержимого регистра обслуживания ISR;

5) установка, гашение или чтение битов маски;

6) установка или снятие режима специального маскирования.

Форматы команд управления "OCW1" - "OCW3" приведены на рис. 8.

OCW1

D7	D6	D5	D4	D3	D2	D1	D0
M7	M6	M5	M4	M3	M2	M1	M0

Порт 20 H

Маски прерывания

1 - маска установлена
2 - маска снята

Рис.8.1.

OCW2

D7	D6	D5	D4	D3	D2	D1	D0
R	SEOI	EOI	0	0	L2	L1	L0

Порт 20 H

Двоично-десятичный код уровня, который должен быть погашен или получить наинизший приоритет

0	1	2	3	4	5	6	7
0	1	0	1	0	1	0	1
0	0	1	1	0	0	1	1
0	0	0	0	1	1	1	1

0	0	1	- обычная EOI без указания уровня прерывания
0	1	1	- избирательная EOI. Триггер ISR уровня с кодом L0-L1 гасится
1	0	1	- автоматический сдвиг приоритетов по EOI
1	1	1	- сдвиг по EOI и гашение триггера уровня L0-L2 гасится
1	0	0	- установка триггера автоматического сдвига приоритетов
0	0	0	- гашение триггера автоматического сдвига приоритетов
1	1	0	- сдвиг триггеров независимо от EOI
0	1	0	- нет операции

Рис. 8.2.

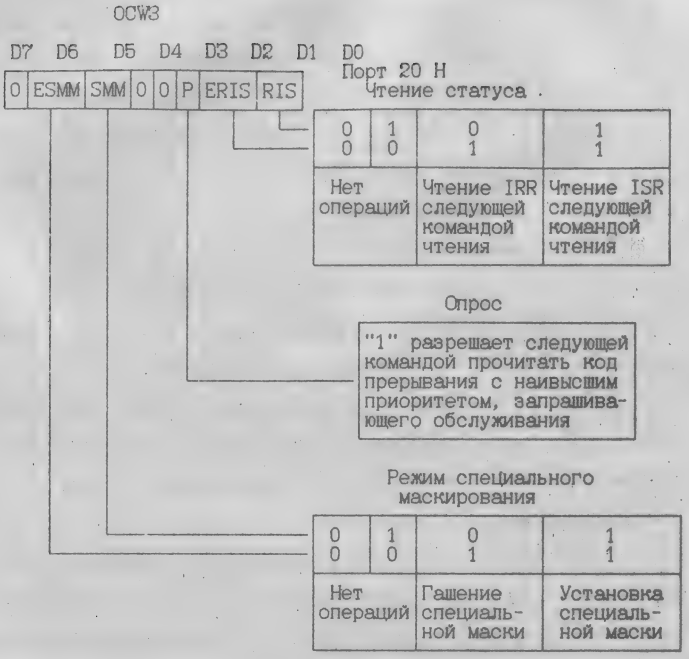

OCW3
D7 D6 D5 D4 D3 D2 D1 D0
0 ESMM SMM 0 0 P ERIS RIS
Порт 20 Н
Чтение статуса
0 0 | 1 0 | 0 1 | 1 1
Нет операций | Чтение IRR следующей командой чтения | Чтение ISR следующей командой чтения
Опрос
"1" разрешает следующей командой прочитать код прерывания с наивысшим приоритетом, запрашивающего обслуживания
Режим специального маскирования
0 0 | 1 0 | 0 1 | 1 1
Нет операций | Гашение специальной маски | Установка специальной маски

Рис.8.3.

Примечание. Содержимое регистров IRR, ISR, IMR может быть считано путем записи соответствующего командного слова "OCW3" и последующей операции чтения. Для чтения регистра IMR команда "OCW3" не требуется. Перед каждым чтением одного и того же статуса команда "OCW3" также может не выдаваться.

4.6. Системный таймер

4.6.1. Программируемый интервальный таймер (ПИТ) выполнен на базе БИС КР580ВИ53 и предназначен для генерации точных временных интервалов под программным контролем.

4.6.2. По отношению к микропроцессору таймер может рассматриваться как устройство ввода-вывода с портами 40Н-43Н. В состав БИС входят три 16-разрядных вычитающих счетчика с частотой синхронизации 1,1931817 МГц.

4.6.3. Таймер вырабатывает три выходных сигнала: "OUT0" - это сигнал прерывания "IRQ0" частотой 18,2 Гц, используемый для работы встроенных часов; "OUT1"-это пятнадцатимикросекундный импульсный синхронизирующий сигнал, используемый для инициализации запроса по нулевому каналу контроллера ПДП с целью запуска цикла регенерации динамического ОЗУ; "OUT2" - это сигнал прямоугольной формы, посылаемый на громкоговоритель. Частота сигнала "OUT2" может изменяться под управлением соответствующей программы.

4.6.4. Работа каналов 0 и 1 таймера всегда разрешена.

Разрешение или запрет работы канала 2 таймера определяется состоянием разряда PB0 (порт 61Н) программируемого параллельного интерфейса.

1 - работа разрешена;

2 - работа запрещена.

4.6.5. Перед началом работы каждый канал системного таймера должен быть инициализирован посылкой соответствующего управляющего слова, формат которого приведен на рис.9.

Инициализация счетчиков (каналов) состоит из двух шагов:

1) в регистр управления каждого из счетчиков записывается слово управления режимом;

2) каждый счетчик заполняется величиной счета. Величина счета представляет собой один или два байта, как определено в слове управления режимом.

Слово управления режимом производит следующие действия:

1) выбирает заполняемый счетчик;

2) выбирает режим работы счетчика;

3) выбирает одну из следующих четырех функций чтения/заполнения:

- заполнения текущего счета (защелкивания) для стабильной операции чтения;

- считывание или заполнение только младшего байта;

- считывание или заполнение только старшего байта;

- считывание или заполнение сначала младшего а затем старшего байта;

4) устанавливает двоичный и двоично- десятичный порядок счета.

Слово управления режимом и байты регистра счета любого из счетчиков должны записываться в следующей последовательности.

1. Слово управления режимом

Примечание. Если данная процедура выполняется для каждого

из счетчиков, то в каждый из трех счетчиков сначала могут быть записаны слова управления режимом, затем записываются младший байт и старший байт. Следует помнить, что выбранный регистр счета должен быть заполнен тем числом байтов, которое запрограммировано в слове управления режимом.

2. Младший байт регистра счета (если он запрограммирован словом управления режимом).

3. Старший байт регистра счета (если он запрограммирован словом управления режимом).

Формат управляющего слова 580ВИ53

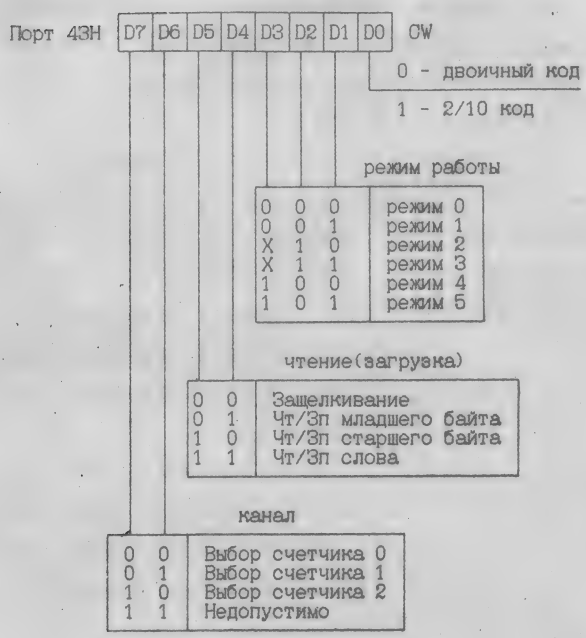


Рис. 9

4.6.6. Связь таймера с микропроцессором осуществляется через двунаправленную 8-разрядную шину данных LDAT7-LDAT0 под управлением пяти сигналов "PADR0", "PADR1", "PITS/", "LIOR/" и "LIOW/" в соответствии с табл.13.

Таблица 13.

PADR1	PADR0	LIOR/	LIOW/	PITS/	Операция	Порт
0	0	0	1	0	LDAT0 - LDAT7 <- Счетчик 0	40H
0	1	0	1	0	LDAT0 - LDAT7 <- Счетчик 1	41H
1	0	0	1	0	LDAT0 - LDAT7 <- Счетчик 2	42H
1	1	0	1	0	Нет операции	-
0	0	1	0	0	Счетчик 0 <- LDAT0 - LDAT7	40H
0	1	1	0	0	Счетчик 1 <- LDAT0 - LDAT7	41H
1	0	1	0	0	Счетчик 2 <- LDAT0 - LDAT7	42H
1	1	1	0	0	Регистр управления режимом	43H
X	X	1	1	0	Нет операции	-
X	X	X	X	1	Нет операции	-

При двухбайтовом формате данных операция со счетчиками выполняется дважды: сначала записывается или считывается младший байт, затем - старший.

4.6.7. Режим счета управляет выходом счетчика.

Каждый канал может быть запрограммирован на один из шести режимов работы в соответствии с загруженным в него управляющим словом. Описание режимов приведено в табл.14.

Таблица 14

Номер режима и его назначение	Выполнение режима
Режим 0 (прерывание по окончании счёта)	По окончании записи управляющего слова CW на выходе OUT устанавливается 0. После загрузки счетчика, последний начинает вычитать по каждому срезу тактового импульса. По окончании счета (при переходе счетчика в состояние "0") на выходе OUT устанавливается "1". В этом состоянии счетчик остается до тех пор, пока не будет произведена повторная запись в регистр счета или слова режима. Перезапуск канала производится при загрузке в счетчик новых данных. Запись первого байта останавливает счет, второй байт запускает новый счет. Вход G (GATE) разрешает счет при высоком и запрещает при низком уровне напряжения.
Режим 1 (программируемый одновибратор)	Выход OUT устанавливается в "0" по первому срезу тактового импульса после фронта на входе G и счетчик начинает счет. При переходе счетчика в "0" на выходе OUT устанавливается "1". Перезагрузка счетчика во время счета не изменяет длительности текущего импульса. Появление нового фронта на входе G перезапускает счет-

Продолжение табл. 14

Номер режима и его назначение	Выполнение режима
	чик с новым или старым значением. Чтение содержимого счетчика возможно в любое время.
Режим 2 (делитель частоты)	Выход OUT=0 только в течение одного периода тактового импульса, который определяется содержимым счётчика. Перезагрузка счётчика не приводит к изменению длительности текущего периода, но влияет на длительность последующего. При подаче на управляющий вход G "0" (напряжение низкого уровня) осуществляется переход в "1" выхода OUT. Фронт на входе G запускает счётчик из начального состояния.
Режим 3 (генератор прямоугольных импульсов)	На выходе OUT "1" будет сохраняться до тех пор, пока не закончится одна половина счета. При нечетном содержимом счетчика на протяжении (N+1)/2 тактов на выходе удерживается напряжение высокого уровня и на протяжении (N-1)/2 тактов - напряжение низкого уровня. При перезагрузке счетчика новое значение скажется на результатах работы только при переходе выхода OUT в другое состояние.

Продолжение табл. 14

Номер режима и его назначение	Выполнение режима
Режим 4 (программная задержка строба)	После записи управляющего слова на выходе OUT устанавливается напряжение высокого уровня. Запуск счетчика осуществляется после его загрузки. При достижении 0 на выходе OUT генерируется импульс длительностью в один период тактового импульса, а счетчик продолжает работать. Перезагрузка счетчика во время счета приводит к перезапуску счетчика. Напряжение низкого уровня на входе G приостанавливает счет.
Режим 5 (аппаратная задержка строба)	Счетчик начинает работать только по фронту на входе G. Новый фронт перезапускает текущий счет. В остальном режим подобен предыдущему.

4.6.7.1. Во всех режимах сигнал на входе G "GATE" является управляющим: запрещает вход низким уровнем и (или) перезапускает фронтом. Функции входа G приведены в табл. 15.

Таблица 15

Режим	Переход в 0	Переход в 1	Напряжение высокого уровня
0	Запрет счета	Нет операции	Разрешение счета
1	Нет операции	Запуск с переходом OUT в 0	Нет операции
2, 3	Запрет счета с установкой OUT в 1	Запуск счета	Разрешение счета
4	Запрет счета	Нет операции	Разрешение счета
5	Нет операции	Запуск счета	Нет операции

4.6.7.2. Аппаратная реализация системного таймера в персональной ЭВМ "Поиск-3" такова, что на управляющем входе счетчиков каналов 0 и 1 установлено напряжение высокого уровня. При инициализации канал 0 настраивается на работу в режиме 3, а канал 1 - на работу в режиме 2.

4.6.7.3. Выбор режима работы канала 2 и его управление предоставляется пользователю.

4.6.7.4. Контроль текущего состояния счетчиков может быть осуществлен двумя методами:

- первый метод состоит в обычном чтении 1-2 байтов выб-

раннего счетчика. Для устойчивого чтения текущего состояния счетчика функция счета может быть подавлена с помощью входа G или внешним запретом тактовых импульсов. Сначала читается младший, затем старший байт. Если формат данных обмена со счетчиком - слово, то оба байта должны быть считаны до подачи на данный счетчик новой команды;

- второй метод заключается в чтении содержимого счетчика "на лету" - без запрета его работы. Для этого в ПИТ должна быть послана специальная команда защелкивания, в которой указывается выбранный счетчик. По команде защелкивания текущее состояние выбранного счетчика записывается в специальный регистр, что не мешает работе последнего.

Следующая за командой операция чтения приводит регистр в исходное состояние. Операция чтения подвержена тем же ограничениям, что и в предыдущем случае.

4.7. Контроллер клавиатуры

4.7.1. В состав контроллера клавиатуры входит программируемый параллельный интерфейс, 8-разрядный последовательно-параллельный регистр и логика управления и синхронизации.

4.7.2. Работа контроллера клавиатуры

Контроллер принимает от клавиатуры код сканирования и сигнал синхронизации по стандартному интерфейсу. Назначение линий интерфейса приведено в табл.12. Блок клавиатуры сообщает схеме ввода с клавиатуры о своей готовности послать код сканирования клавиши тем, что выдает логическую 1 на своей линии KB DATA в течение 0,2 мс. Затем он посылает восьмибитную последовательность кода сканирования, начиная с младшего бита, каждый бит через 0,1 мс.

4.7.2.1. Задержанный сигнал синхронизации клавиатуры выдается на линию KBCLK и поступает на информационный вход сдвоенного D-триггера, чтобы выработать синхронизированный входной сигнал для 8-разрядного последовательно-параллельного регистра (ИР24). Тактировка D-триггера осуществляется сигналом синхронизации "TIMCLK" (F=1,1931 МГц). Когда последний бит 8-разрядного кода сканирования последовательно сдвинется в регистре, тот вырабатывает сигнал на своей линии QH. Этот сигнал попадает на вход данных D-триггера, с выхода которого синхронизированный сигнал активизирует линию запроса на прерывание IRQ1.

4.7.2.2. Запрос на прерывание IRQ1 посылается программируемому контроллеру прерываний 1810ВН59А, который генерирует выходной сигнал "INTR". Этот сигнал воспринимается процессором КР1810ВМ86В. После приема вектора прерывания (INT9) процессор вызывает подпрограмму обработки прерывания INT9 из BIOS.

4.7.2.3. Данная подпрограмма приводит к считыванию кода сканирования в порт А (60Н) программируемого параллельного интерфейса 580ВВ55А. Код сканирования преобразуется подпрограммой BIOS а в ASCII - код для выбора символа. Код сканирования и код символа (ASCII) хранятся в 16-символьном буфере. INT9 также сбрасывает запрос на прерывание, так что становится возможным появление другого системного прерывания.

4.7.3. Программируемый параллельный интерфейс (ППИ) кроме приема кода сканирования клавиатуры выполняет ряд дополнительных функций. Назначение сигналов портов ППИ приведено в табл. 16, 17.

Таблица 16

Порт 60Н		Порт 61Н		Порт 62Н	
PA0		PB0	GATE2	PC0	Не используется
PA1	Код	PB1	SEN	PC1	-"-
PA2	сканирования	PB2	Не используются	PC2	-"-
PA3	клавиатуры	PB3	IREN/	PC3	-"-
PA4		PB4	Не используется	PC4	-"-
PA5		PB5	-"-	PC5	OUT2
PA6		PB6	ENKB	PC6	-"-
PA7		PB7	CLRKB	PC7	-"-

Таблица 17

Наименование порта	Номер бита	Выполнение функций
Порт 61Н	Бит 0 GATE2	Управление работой канала 2 системного таймера.
	Бит 1 SEN	Разрешение прохождения звукового сигнала.
	Бит 2	Зарезервирован.
	Бит 3 IREN/	Напряжение низкого уровня сигнала разрешает запрос на прерывание от часов реального времени с батареей.
	Биты 4, 5	Зарезервированы.
	Бит 6 ENKB	Управление линией интерфейса клавиатуры: 1 - разрешает; 0 - блокирует.
	Бит 7 CLRKB	Управление контроллером клавиатуры; 0 - разрешает работу;

Продолжение табл.17

Наименование порта	Номер бита	Выполнение функций
		1 - сбрасывает запрос на прерывание IRQ1 и очищает сдвиговый регистр.
Порт 62H	Биты 1-4,6,7	Зарезервированы.
	Бит 5 OUT2	Чтение выходного сигнала канала 2 системного таймера.

4.7.3.1. Перед началом работы ППИ должен быть инициализирован посылкой управляющего слова в регистр режима (порт 63H). Формат управляющего слова приведен на рис.10.

4.7.3.2. При инициализации ППИ все каналы должны быть настроены на работу в режиме 0 (простой ввод-вывод):

канал А - ввод;

канал В - вывод;

канал С - ввод.

Формат управляющего слова 580ВВ55А

D0	-->	PC0 - PC3	1 - ввод 0 - вывод
D1	-->	PB0 - PB7	1 - ввод 0 - вывод
D2	-->	Режим канала B	0 - режим 0 (PC0 - PC3) 1 - режим 1
D3	-->	PC4 - PC7	1 - ввод 0 - вывод
D4	-->	PA0 - PA7	1 - ввод
D5	-->	Режим канала A	00 - режим 0 (PC4 - PC7) 01 - режим 1 1X - режим 2
D6	-->		
D7	=1		

Рис.10

4.8. Часы - календарь с батареей

4.8.1. Энергонезависимые часы реального времени с будильником, календарем и ОЗУ общего назначения емкостью пятьдесят байт реализованы на базе ВИС КР512ВИ1.

4.8.2. Малая потребляемая мощность позволяет питать микросхему от автономного источника (аккумулятора), сохраняя при отключении основного источника питания микропроцессорной системы правильный ход часов и информацию, занесенную во внутреннее ОЗУ.

4.8.3. Для микропроцессорной системы микросхема КР512ВИ1 представляет собой память размером шестьдесят четыре байта, имеющая адреса от 00Н до 3FH. С этой памятью возможны запись и чтение любой ячейки со следующими исключениями:

- по адресам 0СН, 0DH возможно только чтение;
- старшие разряды по адресам 00Н и 0АН можно только считывать.

4.8.4. Распределение памяти показано в табл.18.

Таблица 18

Адрес	Возможность доступа	Данные
00Н	R / W	Секунды
01Н	R / W	Секунды (будильник)
02Н	R / W	Минуты
03Н	R / W	Минуты (будильник)
04Н	R / W	Часы

Продолжение табл.18

Адрес	Возможность доступа	Данные
0БН	R / W	Часы (будильник)
0БН	R / W	День недели
07Н	R / W	День месяца
08Н	R / W	Месяц
09Н	R / W	Год
0АН	R / W	Регистр А
0ВН	R / W	Регистр В
0СН	R / 0	Регистр С
0DН	R / 0	Регистр D
0ЕН - 3FН	R / W	ОЗУ общего назначения

4.8.5. ЦП устанавливает начальные значения времени и даты, записывая их в соответствующие ячейки микросхемы, и получает информацию о текущем времени, считывая эти ячейки.

4.8.6. Микросхема имеет мультиплексированную шину адреса/данных (A/D), которая связана с процессором через двунаправленную локальную шину данных (LDAT0 - LDAT7).

Для управления записью и считыванием информации служат входы CE/ (выбор микросхемы), AS (строб адреса), DS (строб данных) и R/W (чтение/запись).

4.8.6.1. Когда на входе CE/ установлен высокий уровень напряжения, шина A/D отключена от шины процессора.

4.8.6 2. Низкий уровень должен быть установлен на входе CE/ во время действия импульса AS и сохраняться неизменным во время цикла записи или чтения.

4.8.6.3. Сигнал "AS" подается в виде положительного импульса во время наличия информации об адресе на шине A/D. Адрес записывается во внутренний буфер микросхемы по срезу этого импульса. В этот же момент анализируется уровень напряжения сигнала на входе "DS"и в зависимости от него устанавливается дальнейший режим работы входов DS и R / W:

1) если этот уровень был низким, то во время положительного импульса DS данные будут считаны из микросхемы или записаны в нее;

2) направление передачи определяется уровнем напряжения на входе R / W во время действия импульса DS. Высокий уровень означает чтение из микросхемы, низкий - запись в нее.

4.8.6.4. Выход IRQ (запрос на прерывание) предназначен для сигнализации процессору о том, что внутри микросхемы произошло событие, требующее программной обработки. Таким событием может быть окончание процесса обновления информации о времени в соответствующих ячейках микросхемы (оно производится автоматически каждую секунду) или срабатывания будильника.

4.8.6.5. Вход RES/ (сброс) предназначен для установки в исходное состояние узлов микросхемы, ответственнных за связь с ЦП. При низком уровне на входе RES/ никакое вмешательство в работу микросхемы со стороны процессора невозможно. На ход часов, календарь и содержимое ячеек ОЗУ этот вход не влияет.

Низкий уровень на нем должен поддерживаться не менее 5 мкс после подачи напряжения питания.

4.8.6.6. Основное назначение входа PS (датчик питания)-контроль непрерывности подачи питающего напряжения. Низкий уровень напряжения на этом входе должен сохраняться не менее 5 мкс после возобновления подачи питания. При этом в старший разряд регистра D микросхемы автоматически записывается ноль.

Единицу можно установить только считыванием этого регистра. Это позволяет процессору определить, не снималось ли питание с микросхемы и достоверна ли содержащаяся в ней информация.

4.8.6.7. Для управления работой микросхемы и анализа ее состояния предназначены регистры статуса микросхемы A-D. Формат этих регистров приведен в табл.19, а назначение отдельных разрядов описывается ниже.

Таблица 19

Адрес	D7	D6	D5	D4	D3	D2	D1	D0
0AH	VIP*	DV2	DV1	DV0	RS3	RS2	RS1	RS0
0BH	SET	PIE	AIE	UIE	SQWE	DM	24/12	DSE
0CH	IRQF*	PF*	AF*	UF*	0*	0*	0*	0*
0DH	VRT*	0*	0*	0*	0*	0*	0*	0*

Примечания. 1. Из разрядов, помеченных * , процессор

может только считывать информацию.

2. Описание работы регистров A-D приведено в табл.20.

Таблица 20

Обозначение регистра	Разряд	Содержимое разряда	Выполнение функций
A	D7	VIP	Единица в этом разряде означает, что происходит или начнется менее чем через 244 мкс обновление информации о времени. Длительность цикла обновления 1984 мкс при тактовой частоте 32768 Гц. VIP можно только считывать, на него не действует сигнал "RES/". Записав единицу в разряд SET регистра B, можно запретить обновление и тем самым сбросить VIP.
	D4-D6	DV0-DV2	Устанавливается режим работы внутреннего делителя частоты в соответствии с используемой опорной частотой (см.табл.21).

Продолжение табл.20

Обозначение регистра	Разряд	Содержимое разряда	Выполнение функций
	D0-D3	RS0-RS3	Устанавливают частоту сигнала на выходе SQW (вывод 23) и период повторения периодических прерываний (см.табл.22).
B	D7	SET	Если в этом разряде записан ноль, то каждую секунду выполняется цикл обновления информации о текущем времени и сравнения текущего времени с заданным временем срабатывания будильника. Единица в этом разряде запрещает обновление, давая возможность записать в регистр времени, календаря и будильника начальные значения.
	D6	PIE	Разрешение прерываний с периодом, задаваемым разрядом RS0-RS3 регистра A. Может быть сброшен сигналом "RES/".

Продолжение табл.20

Обозначение регистра	Разряд	Содержимое разряда	Выполнение функций
	D5	AIE	Разрешение прерываний от будильника. Может быть сброшен сигналом "RES/".
	D4	UIE	Разрешение прерываний по окончании цикла обновления. Может быть сброшен сигналом "RES/".
	D3	SQWE	Разрешение выдачи сигнала на выход "SQW". Может быть сброшен сигналом "RES/".
	D2	DM	Единица в этом разряде означает, что данные о времени и дате представлены в двоичном виде, ноль - в двоично-десятичном. Значение этого разряда нельзя изменять без повторной записи начальных значений в ячейки времени и календаря.

Продолжение табл. 20

Обозначение регистра	Разряд	Содержимое разряда	Выполнение функций
	D1	24/12	Устанавливает 24-часовый (1) или 12-часовый (0) режим счета времени. В 12-часовом режиме время после полудня (PM) отмечается единицей в старшем разряде регистра часов (адрес 04H).
	D0	DSE	Разрешение автоматического перехода на летнее время. Когда в этом разряде записана единица, то в последнее воскресенье апреля после 01 ч 59 мин 59 с автоматически устанавливается 03 ч 00 мин 00 с, а в последнее воскресенье октября после 01 ч 59 мин 59 с следует 01 ч 00 мин 00 с.
C	D7	IRQF	Флаг запроса прерываний. Устанавливается в единицу при выполнении условия: PExPIE+AFxAIE+UFxUIE = 1.

Продолжение табл. 20

Обозначение регистра	Разряд	Содержимое разряда	Выполнение функций
			Одновременно с установкой IRQF=1 на выходе IRQ устанавливается низкий уровень. Флаг сбрасывается после чтения регистра С, или сигналом "RES/".
	D6	PF	Устанавливается в единицу фронтом сигнала на выходе внутреннего делителя частоты, выбранного в соответствии с разрядами RS0-RS3 регистра А. Флаг сбрасывается после чтения регистра С или сигналом "RES/".
	D5	AF	Устанавливается в единицу при совпадении текущего времени с временем в регистрах будильника. Флаг сбрасывается после чтения регистра С или сигналом "RES/".

Продолжение табл. 20

Обозначение регистра	Разряд	Содержимое разряда	Выполнение функций
	D4	UF	Устанавливается в единицу после окончания каждого цикла обновления. Флаг сбрасывается после чтения регистра С или сигналом "RES/".
D	D7	VRT	В этом разряде устанавливается ноль при низком уровне на входе PS. Единица устанавливается только считыванием регистра D.

Таблица 21

DV2	DV1	DV0	Частота, Гц
0	0	0	4194 304
0	0	1	1048 576
0	1	0	32 768
1	1	X	Сброс делителя

Таблица 22

RS3	RS2	RS1	RS0	Опорная частота, Гц			
				4 194 304 или 1 048 576		32 768	
				Частота, Гц	Период	Частота, Гц	Период
0	0	0	0	-	-	-	-
0	0	0	1	32768	30,517мкс	256	3,90625 мс
0	0	1	0	16384	61,035мкс	128	7,8125 мс
0	0	1	1	8192	122,07мкс	8192	122,07 мкс
0	1	0	0	4096	244,14мкс	4096	244,14 мкс
0	1	0	1	2048	488,28мкс	2048	488,28 мкс
0	1	1	0	1024	976,56мкс	1024	976,56 мкс
0	1	1	1	512	1,95312мс	512	1,95312 мс
1	0	0	0	256	3,90625мс	256	3,90625 мс
1	0	0	1	128	7,8125 мс	128	7,8125 мс
1	0	1	0	64	15,625 мс	64	15,625 мс
1	0	1	1	32	31,25 мс	32	31,25 мс
1	1	0	0	16	62,5 мс	16	62,5 мс
1	1	0	1	8	125 мс	8	125 мс
1	1	1	0	4	250 мс	4	250 мс
1	1	1	1	2	500 мс	2	500 мс

4.8.7. По отношению к процессору микросхема КР512ВИ1 представляет собой устройство ввода-вывода с портами 70Н и 71Н.

При обращении к порту 70Н записывается адрес внутренней ячейки микросхемы, а при обращении к порту 71Н - записываются или считываются данные.

4.8.7.1. При инициализации микросхемы в регистр А записывается код, соответствующий примененному кварцевому резонатору и необходимой частоте сигнала на выходе "SQW" (или частоте переодических прерываний). Например, для частоты резонатора 32768 Гц и частоты "SQW" 512 Гц в регистр А должен быть записан код 27Н.

4.8.7.2. Затем в регистр В заносят код с единицей в старшем разряде, запрещая таким образом ход часов. Остальные разряды этого кода устанавливают необходимый режим счета времени и генерации запросов прерывания. Например, код 86Н устанавливает 24-часовой счет времени без автоматического перехода с зимнего времени на летнее время и обратно при двоичном представлении данных. Выдача запросов прерывания и сигнала "SQW" запрещены.

4.8.7.3. После этого в ячейки времени, календаря и будильника заносятся значения, с которых начнется отсчет. Значения должны заноситься в формате, установленном в соответствующих разрядах регистра В - двоичном или двоично-десятичном. Например, десятичному числу 11D соответствует 0ВН в двоичном формате и 11Н - двоично-десятичном.

4.8.7.4. В двенадцатичасовом режиме время после полудня отмечается единицей в старшем разряде ячейки часов. Например, код 7Н соответствует семи часам, а 87Н - семи часам вечера.

4.8.7.5. Дни недели кодируются следующим образом:

1 - воскресенье,

2 - понедельник,

3 - вторник,

4 - среда,

5 - четверг,

6 - пятница,

7 - суббота.

Если не включен автоматический переход с зимнего времени на летнее, то можно использовать более привычное кодирование, когда 1 соответствует понедельнику, а 7 - воскресенью.

4.8.7.6. Месяцы кодируются обычным образом: 1 - январь, 2 - февраль и т.д. Год задается двумя младшими цифрами, например, 1992 год записывается как 92.

4.8.8. После установки начальных значений можно запускать часы. После этого код в регистре В достаточно заменить таким же, но с нулем в старшем разряде. Одновременно можно разрешить необходимые прерывания и выдачу сигнала на выход SQW. Каждую секунду микросхема КР512ВИ1 будет обновлять информацию о времени (первый раз обновление произойдет спустя 5 с после записи нуля в старшем разряде регистра В). Цикл обновления занимает 1948 мкс при тактовой частоте 32768 Гц или 248 мкс при других тактовых частотах.

4.8.8.1. Во время этого цикла запрещен доступ процессора к ячейкам времени, календаря и будильника. Их считывание даст неопределенный результат. О том, что идет обновление, можно узнать, проанализировав старший разряд регистра А. Ноль в этом разряде говорит о том, что до начала очередного цикла обновления осталось не менее 244 мкс.

4.8.8.2. В процессе обновления к содержимому ячейки секунд прибавляется единица, а если число секунд превысило 59, то в этой ячейке записывается ноль и единица прибавляется к содержимому ячейки минут и т.д. вплоть до ячейки лет.

4.8.8.3. Внутренняя логика автоматически учитывает количество дней в месяце, различая високосные и не високосные годы. Однако необходимо задать правильно начальные значения. Это относится не только к дате, но и к другим параметрам.

4.8.8.4. Одновременно с обновлением информации о времени заданное время срабатывания будильника сравнивается с текущим.

4.8.8.5. После считывания регистра С все его разряды автоматически сбрасываются в ноль. Единицы в этих разрядах появятся вновь после очередного наступления соответствующих событий и будут сохраняться только до следующего считывания. Так, например, если неоходимо неоднократно анализировать состояние отдельных разрядов этого регистра, то после считывания нужно сохранить в памяти его копию, а затем проверять отдельные разряды копии.

4.8.9. Использование КМОП памяти под конфигурацию системы.

00H - 0DH используют часы реального времени

0EH - байт диагностики

Бит 7- потеря энергии

Бит 6- ошибка контрольной суммы

Бит 1- =0 внутренний тест памяти

=1 используются данные внешнего теста памяти

10H - тип дисковода

12H - тип жесткого дисковода

14H - байт оборудования

Биты 7-6 - количество дисководов

Биты 5-4 - тип видеоконтроллера

Бит 1 - наличие сопроцессора

Бит 0 - наличие дисководов

15H-16H - размер памяти

4.8.10. Регистр маски NMI

4.8.10.1. Выходной сигнал запроса на прерывание от сопроцессора поступает на линию запроса немаскируемого прерывания центрального процессора. Данный запрос может быть замаскирован либо разрешен с помощью регистра маски NMI (порт 0A0H), реализованного на D - триггере.

4.8.10.2. Сигналом "RES/" регистр маски устанавливается в исходное состояние, тем самым запрещает прохождение сигнала запроса прерывания от сопроцессора на вход немаскируемого прерывания NMI центрального процессора.

4.8.10.3. Запись байта данных с установленным в "1" битом D7 в порт 0A0H разрешает формирование запроса на прерывание от сопроцессора; запись

байта данных с нулевым битом D7 - маскирует данный запрос.

4.9. Канал ввода-вывода

4.9.1. Канал ввода-вывода представляет собой расширение шины микропроцессора, которая буферизуется и расширяется путем введения прерываний и функций ПДП.

Канал ввода-вывода содержит:

- четыре системных разъема;
- восьмиразрядную двунаправленную шину данных;
- двадцатиразрядную шину адреса;
- шесть линий запросов прерывания;
- линии управления считыванием из памяти, записью в память, чтением и записью для устройств ввода/вывода;
- линии тактовых импульсов и синхронизации;
- два канала прямого доступа к памяти;
- линию управления регенерацией памяти;
- линии питания и заземления для адаптеров.

4.9.2. Для плат ввода-вывода предусмотрено три уровня напряжения постоянного тока:

плюс (5+-0,25) В;

плюс (12+-0,6) В;

минус (12+-1,2) В.

4.9.3. Для согласования работы микропроцессора с медленнодействующими устройствами ввода-вывода и памяти в канале ввода-вывода имеется линия "канал ввода-вывода готов" (I/O CH RDY). Эта линия переводится в пассивное состояние (потенциал низкого уровня) адресуемым устройством для увеличения времени операции. На каждый такт нахождения этой линии на низком

уровне напряжения в операциях ввода-вывода и ПДП добавляется одно состояние ожидания.

4.9.4. Адресный селектор ввода-вывода обеспечивает дешифрацию 1024 адресов устройств, продключенных к каналу ввода-вывода, в адресном пространстве от 000 до 3FFH.

4.9.5. В состав канала ввода-вывода входит системный интерфейс (четыре шестидесятидвухконтактных разъема), что обеспечивает подключение к БЭ дополнительных модулей расширения (адаптеров). Ниже приводится описание сигналов системного интерфейса микро-ЭВМ "ПОИСК-3".

Все линии - ТТЛ - совместимые.

4.9.5.1. A0-A19 (выход). Разряды адреса с 0 по 19. Эти линии используются для адресации памяти и устройств ввода-вывода. A0 - самая младшая линия адреса, A19 - самая старшая. Сигналы на этих линиях генерируются микропроцессором, сопроцессором или контроллером ПДП.

4.9.5.2. "AEN" (выход). Разрешение выдачи адреса. Когда эта линия находится в активном состоянии (потенциал высокого уровня), контроллер ПДП осуществляет управление адресной шиной, шиной данных и линиями управления считыванием и записью. Когда эта линия находится в пассивном состоянии (потенциал низкого уровня), управление осуществляет микропроцессор. Эта линия должна входить в состав дешифратора выбора устройств ввода-вывода, чтобы избежать неверного выбора их при выполнении операций ПДП.

4.9.5.3. "ALE" (выход). Разрешение фиксации адреса. Эта линия входит в состав контроллера шины и используется на систем-

ной плате для фиксации достоверных адресов, поступающих из микропроцессора. Адреса становятся достоверными на срезе сигнала "ALE" и фиксируются на шине в течении времени нахождения сигнала "ALE" в пассивном состоянии (потенциал низкого уровня). Этот сигнал переводится в пассивное состояние во время циклов ПДП.

4.9.5.4. D0-D7 (двунаправленные). Разряды данных с 0 по 7. По этим линиям передаются биты данных с 0 по 7 для микропроцессора, памяти и устройств ввода-вывода.

4.9.5.5. "CLOCK" (выход). Системный синхросигнал частотой 8,0 МГц с коэффициентом заполнения 33 процента.

4.9.5.6. "DRQ1-DRQ3" (вход). Запрос ПДП 1, 3. Эти сигналы представляют собой запросы системного канала, используемые периферийными устройствами для получения доступа к нему средствами ПДП.

Запрос генерируется путем перевода линии в активное состояние (потенциал высокого уровня). Линия запроса удерживается в активном состоянии до перевода в активное состояние соответствующей линии подтверждения (потенциал низкого уровня).

4.9.5.7. "DACK0/", "DACK1/","DACK3/" (выход). Подтверждение запроса ПДП 1, 2, 3. Эти линии используются контроллером ПДП для подтверждения запросов ПДП.

Сигнал "DACK0 /" используется для организации циклов регенерации памяти, подключаемой к системному интерфейсу, одновременно с регенерацией памяти на системной плате. Запрос поступает по линии DRQ0, которая в состав системного интерфейса не входит.

4.9.5.8. "I/O CH RDY" (вход). Готовность канала ввода-вывода. Эта линия, находящаяся обычно в активном состоянии (соответствующем готовности), переводится в пассивное состояние (соответствующее неготовности) памятью или устройством ввода-вывода для удлинения циклов ввода-вывода или циклов памяти. Она позволяет подключить к каналу ввода-вывода более медленные устройства. Любое медленнодействующее устройство, использующее эту линию, должно сразу же после обнаружения своего адреса и команды считывания или записи перевести эту линию в пассивное состояние (патенциал низкого уровня). На каждый такт пассивного состояния линии добавляется одно состояние ожидания. Эта линия не должна удерживаться в пассивном состоянии более семнадцати тактов.

4.9.5.9."IOR/" (выход). Чтение для устройства ввода-вывода. По этой линии микропроцессор или контроллер ПДП подают устройству ввода-вывода команду на выдачу его данных на системную шину данных ЭВМ. Активное состояние - низкий уровень сигнала.

4.9.5.10. "IOW/" (выход). Запись для устройства ввода-вывода. Эта линия дает устройству ввода-вывода команду на запись данных. Этот сигнал выдается микропроцессором или контроллером ПДП. Активное состояние - низкий уровень сигнала.

4.9.5.11. "MEMR/" (выход). Считывание из памяти. Эта линия дает команду памяти на помещение данных на шину данных. Этим сигналом управляет микропроцессор или контроллер ПДП. Активное состояние - низкий уровень сигнала.

4.9.5.12. "MEMW/" (выход). Запись в память. Эта линия дает команду памяти на запись данных, имеющихся на шине данных. Этим сигналом управляет микропроцессор или контроллер ПДП.

4.9.5.13. "IRQ2-IRQ7" (вход). Запросы прерываний. Эти линии используются для выдачи микропроцессору сигнала о том, что устройство ввода-вывода требует внимания. Эти линии имеют приоритеты; "IRQ2" - высший, "IRQ7" - низший.

Запрос на прерывание фиксируется при переходе сигнала из низкого состояния в высокое. При этом линия запроса удерживается в активном состоянии до выдачи микропроцессором сигнала подтверждения прерывания.

4.9.5.14. "OSC" (выход). Сигнал тактового генератора с частотой 14,31818 МГц. Скважность - 50 процентов.

4.9.5.15. "RESET DRV" (выход). Начальная установка системы. Активное состояние - высокий уровень сигнала. Эта линия используется для сброса или инициализации логических схем системы при включении питания, при нажатии кнопки Сброс или в то время, когда уровень напряжения на линии PGOOD низкий.

4.9.5.16. "T/C" (выход). Окончание счета. По этой линии подается импульс, когда наступает конец цикла ПДП любого из каналов коптроллера ПДП.

4.10. Интерфейс RS-232

4.10.1. Регистры асинхронного последовательного интерфейса RS-232

4.10.2. Последовательный интерфейс представляет собой стандартный порт RS-232, реализованный на основе программируемого связного контроллера Intel 8250, адресуемого MDOS как порт

COM1. Программируемый контроллер 8250 обеспечивает асинхронные прием/передачу данных со скоростью обмена от 110 до 9600 бит в секунду, добавляя или убирая в зависимости от режима - стартовые, стоповые и биты четности.

Контроллер обеспечивает передачу пяти, шести, семи, и восьмибитовых символов с 1, 1,5 и 2 стоповыми битами.

Контроллер 8250 обеспечивает полную двойную буферизацию, что устраняет необходимость в точной синхронизации потока данных, а также обеспечивает выдачу сигналов управления модемом: "CTS", "RTS", "DTR", "RI", "CD".

4.10.3. Базовая система ввода-вывода (BIOS) ЭВМ после включения питания инициализирует порты контроллера в диапазоне адресов 3F8H-3FFH;

BIOS поддерживает программно простой опрос прерывания последовательного порта RS-232. Контроллер способен генерировать запрос прерывания IRQ4 (вектор 0CH) при различных условиях в зависимости от числа, хранящегося в регистре разрешения прерываний (IER).

Адреса регистров последовательного порта COM1 и их назначение приведены в табл.28.

Таблица 23

Бит DLAB	HEX адрес COM1	Режим: запись (W) чтение (R)	Назначение
0	3F8H	W	Регистр данных передатчика (THR)
0	3F8H	R	Буфер приемника (RBR)
1	3F8H	R/W	Младший байт регистра делителя (LDR)
1	3F9H	R/W	Старший байт регистра делителя (HDR)
0	3F9H	R/W	Регистр разрешения прерываний (IER)
x	3FAH	R	Регистр идентификации прерываний (IIR)
x	3FBH	R/W	Регистр управления линией (LCR)

Продолжение табл. 23

Бит DLAB	HEX адрес COM1	Режим: запись (W) чтение (R)	Назначение
x	3FCH	R/W	Регистр управления модемом (MCR)
x	3FDH	R	Регистр состояния линии (LSR)
x	3FEH	R	Регистр состояния модема (MSR)
x	3FFH	R/W	Оперативный регистр

Эти регистры управляют работой контроллера 8250 и используются для передачи или приема данных.

В табл.23 используется состояние старшего бита DLAB регистра управления линией (LCR) контроллера 8250, который влияет на доступ к регистрам, выбираемым по адресам 3F8H-3F9H.

4.10.4. Описание регистров контроллера 8250

4.10.4.1. Регистр данных передатчика THR

Предназначен для хранения символа, подлежащего передаче.

Доступен по адресу 3F8H при состоянии бита DLAB = 0. Режим работы - только запись.

4.10.4.2. Регистр (буфер) приемника RBR

Доступен по адресу 3F8H при состоянии бита DLAB = 0. Содержит принятый символ. Режим работы - только чтение.

4.10.4.3. Регистр (фиксатор) младшего байта делителя скорости передачи LDR. Доступен по адресу 3F8H только после выполнения команды:

"OUT 3FBH, 80H ; порт COM1": установить бит DLAB=1 в регистре LCR.

4.10.4.4. Регистр (фиксатор) старшего байта делителя скорости передачи HDR. Доступен по адресу 3F9H после выполнения команды:

"OUT 3FBH, 80H ;порт COM1": установить бит DLAB=1 в регистре LCR.

Зависимость скорости передачи (в бодах) от величины, занесенной в старший и младший байты регистра делителя приведена в табл.24.

Таблица 24

Скорость (в бодах)	Величина делителя	Скорость (в бодах)	Величина делителя
110	1040	1200	96
150	768	2400	48
300	384	4800	24
600	192	9600	12

4.10.4.5. Регистр разрешения прерываний IER

Доступен по адресу 3F9H при состоянии бита DLAB=0. Назначение битов регистра приведено в табл.25.

Таблица 25

Бит	Назначение
0	Разрешение прерывания "Наличие данных"
1	Разрешение прерывания "Буфер передатчика пуст"
2	Разрешение прерывания "Состояние линии приема"
3	Разрешение прерывания "Состояние модема"
4	Зарезервированы
5	и устанавливаются: D4=D5=D6=D7=0
6	
7	

Бит D0=1 - разрешает прерывание "Наличие данных".

Бит D1=1 - разрешает прерывание "Буфер передатчика пуст".

Бит D2=1 - разрешает прерывание "Состояние линии приема".

Бит D3=1 - разрешает прерывание "Состояние модема".

4.10.4.6. Регистр идентификации прерываний IIR

Доступен для чтения по адресу 3FAH. Назначение битов регистра IIR приведены в табл. 26.

Контроллер 8250 имеет внутреннюю систему прерываний, которая обеспечивает обмен коммуникационными данными с минимальным участием процессора. С целью уменьшения затрат на программирование при передаче данных контроллер рассматривает следующие четыре вида прерываний:

- состояние линии приемника (приоритет 1);
- принятые данные готовы (приоритет 2);
- регистр передатчика пуст (приоритет 3);
- состояние модема (приоритет 4).

Информация об отложенном прерывании хранится в регистре идентификации прерываний (IIR) контроллера 8250. Этот регистр при адресации во время выбора устройства фиксирует отложенное прерывание с наивысшим приоритетом, и никакие другие прерывания не подтверждаются до тех пор, пока микропроцессор не обслужит это конкретное прерывание.

Таблица 26

Бит	Назначение
0	Не отложенное прерывание
1	D1=0 Идентификатор ввода/вывода

Продолжение табл. 26

Бит	Назначение
2	D2=1 Идентификатор ввода/вывода
3	
4	Зарезервированы, установлены в "0"
5	
6	
7	

Биты D2, D1 идентифицируют прерывание согласно табл.27.

Таблица 27

Биты IIR		Приоритет прерываний	Тип	Управление прерыванием	
D2	D1			причина	сброс
1	1	Наивысший (первый)	Состояние линии приемника	Переполнение, ошибка четности или кадрирования, или прерывание по перерыву (BREAK)	Чтение регистра состояния линии (LSR)

Продолжение табл. 27

Биты IIR		Приоритет прерываний	Тип	Управление прерыванием	
D2	D1			причина	сброс
1	0	Второй	Наличие принятых данных	Данные в буфере приемника	Чтение регистра буфера приемника (RBR)
0	1	Третий	Регистр хранения передатчика пуст	Регистр хранения передатчика (THR) пуст	Чтение IIR или запись в THR
0	0	Четвертый	Состояние модема	Изменение состояния сигнала из модема	Чтение регистра состояния модема

4.10.4.7. Регистр управления линией LCR

Доступен по адресу 3FBH. Этот регистр определяет формат асинхронного обмена данными.

Содержимое регистра может быть прочитано в любой мо-

мент, что устраняет необходимость отдельного хранения в памяти характеристик линии. Формат регистра и назначение битов приведены в табл. 28.

Таблица 28.

Бит	Функция
0	Word Length Select 0 - выбор длины слова: бит 0
1	Word Length Select 1 - выбор длины слова: бит 1
2	Number of Stop Bits (NSB) - число стоповых битов
3	Parity Enable (PE)- разрешение контроля четности
4	Even Parity Select (EPS)- выбор контроля по четности
5	Stick Parity (SP) - тип контроля четности
6	Set Break (SB) - установка перерыва
7	Divisor-Latch Access Bit(DLAB)-бит доступа к делителю

Биты 1-0 - устанавливают количество бит в каждом передаваемом или принимаемом последовательно символе:

0 0 - длина 5 бит

0 1 - длина 6 бит

1 0 - длина 7 бит

1 1 - длина 8 бит

Бит 2 - NSB - определяет число стоповых битов в каждом передаваемом или принимаемом последовательно символе: когда NSB = 1 и длина слова указана больше, чем 5 бит, генерируются и проверяются 2 стоп-бита. Если длина слова установлена равной 5 битам и этот бит NSB = 1, генерируется 1,5 стоп-бита. При сбросе бита NSB в состояние 0 генерируется 1 стоп-бит.

Бит 3 - PE - бит разрешения контроля четности: когда бит PE = 1, разрешена передача или проверка бита четности.

Бит 4 - EPS - бит выбора контроля четности: если этот бит (EPS) установлен в состояние 1 и контроль разрешен (PE=1), то передается или проверяется четное количество логических единиц. Когда же бит EPS сброшен в 0, передается или проверяется нечетное количество логических бит.

Бит 5 - SP - бит типа контроля четности: если бит SP = 1 и разрешен контроль четности, то бит паритета посылается как "0" (если контроль осуществляется по четности) или как "1" (если контроль осуществляется по нечетности).

Бит 6 - SB - бит управления перерывами: когда SB = 1, последовательный выход переводится на пассивный уровень и остается там независимо от других операций передачи. Установка перерыва блокируется сбросом бита SB в "0".

Бит 7 - DLAB - бит доступа к фиксатору делителя: устанавливается в "1" для получения доступа к фиксаторам делителя генератора скорости передачи во время операций чтения или записи. Сброс бита в "0" предоставляет доступ к другим регист-

рам контроллера: передатчика (THR), приемника (RBR) и регистру разрешения прерывания (IER).

4.10.4.8. Регистр управления модемом MCR

Доступен по адресу 3FCH. Этот регистр управляет выходными сигналами, подаваемыми в модем или внешнее устройство передачи данных, работающее как модем. Назначение битов регистра MCR приведены в табл.29.

Таблица 29

Бит	Назначение
0	Data Terminal Ready - готовность передатчика терминала
1	Request To Send (RTS) - запрос на передачу
2	Выход OUT 1
3	Выход OUT 2
4	LOOP - закольцовывание
5	Зарезервированы, установлены в "0"
6,7	

Бит 0 - бит управления выходом DTR/ контроллера: при установке в "1" выход переходит в активное состояние.

Бит 1 - бит управления выходом RTS/: при установке в"1" выход RTS/ активизируется.

Биты 2-3 - активизирование выходов OUT 1 и OUT 2 при установке соответствующего бита в состояние "1".

Бит 4 - этот бит обеспечивает закольцовывание диагностического тестирования контроллера. Если этот бит установлен в "1", происходит следующее:

- активизируется линия SOUT и отключается вход SIN;
- выход регистра сдвига передатчика соединяется со входом сдвигового регистра приемника;
- отключаются входы DSR/, CTS/, RLSD/, RI/ управления модемом;
- выходы управления модемом DTR/, RTS/, OUT1/, OUT2/ внутренне подключаются к четырем входам управления модемом.

4.10.4.9. Регистр состояния линии LSR

Доступен по адресу 3FDH. Этот регистр предоставляет процессору информацию о состоянии передачи данных. Назначение битов регистра LSR приведены в табл.30.

Таблица 30

Бит	Назначение
0	Data Ready - готовность данных
1	Overrun Error - ошибка переполнения
2	Parity Error - ошибка четности

Продолжение табл. 30

Бит	Назначение
3	Framming Error - ошибка кадрирования
4	Break Interrupt - прерывание по перерыву
5	Регистр данных передатчика - пуст
6	TxEmpty - передатчик пуст
7	Зарезервирован

Бит 0 - индикатор готовности данных приемника: устанавливается в "1" всякий раз, когда принят полный символ в буфер приемника.

Бит 1 - индикатор ошибки переполнения: показывает, что данные в буфере приемника не были прочитаны процессором до засылки в буфер следующего символа. Этот бит сбрасывается в "0" при чтении регистра состояния линии LSR.

Бит 2 - индикатор ошибки четности: при установке в "1" показывает, что принятый символ не имеет правильного паритета. Сбрасывается в "0" после чтения регистра состояния линии LSR.

Бит 3 - индикатор ошибки кадрирования: показывает, что принятый символ не имел правильного стоп-бита. Устанавливается в "1" всякий раз, когда стоп-бит детектируется как "0"

(уровень промежутка).

Бит 4 - индикатор прерывания по перерыву: устанавливается в "1" всякий раз, когда на входе данных удерживается промежуточное состояние (0) больше, чем требуется времени на передачу полного слова, т.е. суммы полного времени передачи старт-бита + биты данных + бит четности и стоп-биты.

Бит 5 - индикатор опустошения регистра данных передатчика (THRE) - показывает, что контроллер подготовил новый символ к передаче. Кроме того, этот бит вызывает выдачу прерывания при условии, что разрешены прерывания по опустошению регистра передатчика.

Бит THRE = 1 при пересылке символа из регистра данных в сдвиговый регистр передатчика. Сбрасывается в "0" после новой загрузки регистра данных.

Бит 6 - индикатор опустошения передатчика (TxEmpty): устанавливается в "1" всякий раз, когда пусты все регистры передатчика (сдвиговый и данных).

4.10.4.10. Регистр состояния модема MSR

Доступен по адресу 3FDH. Этот регистр содержит текущее состояние линий управления модема. Кроме этого, 4 бита содержат информацию об изменении: они устанавливаются в "1" всякий раз, когда управляющий сигнал из модема меняет состояние, и сбрасываются, когда процессор прочитает содержимое этого регистра MSR.

Назначение битов регистра MSR приведены в табл.31.

Таблица 31

Бит	Функция
0	Изменение состояния сигнала"CTS"
1	Изменение состояния сигнала"DSR"
2	Изменение состояния сигнала"RI"
3	Изменение состояния сигнала"DCD"
4	Clear To Send (CTS) - очистка для передачи
5	Data Set Ready (DSR)- готовность к передаче данных
6	Ring Indicator (RI) - индикатор вызова
7	Data Carrier Detect (DCD) - обнаружение носителя данных

Биты 0-3 - индицируют изменение состояния сигналов. Всякий раз, когда любой из бит 0-3 устанавливается в"1", генерируется прерывание "Состояние модема".

Бит 4 - установка в "1" соответствуют активному состоянию сигнала "CTS/", этот бит эквивалентен биту RTS регистра управления модемом MCR.

Бит 5 - установка в "1" соответствуют активному состоянию сигнала "DSR/", этот бит эквивалентен биту DTR регистра

управления модемом MCR.

бит 6 - установка в "1" соответствуют активному состоянию сигнала "RI/", этот бит эквивалентен биту OUT 1 регистра управления модемом MCR.

Бит 7 - установка в "1" соответствуют активному состоянию сигнала "DCD/", этот бит эквивалентен биту OUT 2 регистра управления модемом MCR.

4.10.5. Описание сигналов

4.10.5.1.Входные сигналы контроллера

"CLEAR TO SEND" ("CTS/") - очистка для передачи. Этот сигнал поступает из модема. Состояние этого сигнала отражается в бите 4 регистра состояния модема MSR. Бит 0 этого же регистра показывает, изменилось ли состояние сигнала "CTS/" со времени последнего считывания.

"DATA SET READY" ("DSR/") - устройство передачи данных готово. Активное состояние этого сигнала указывает на то, что модем или устройство передачи данных готово установить канал связи и пересылать данные в контроллер. Этот сигнал поступает из модема. Его состояние отражено в бите 5 регистра состояния модема MSR. Бит 1 этого же регистра показывает, изменилось ли состояние сигнала "DSR/" со времени последнего считывания.

Примечание. Всякий раз, когда бит 5 регистра состояния модема изменяет состояние, генерируется прерывание (если разрешено прерывание "состояние модема").

"DATA CARRIER DETECT" ("DCD/") - носитель данных обнаружен. Активное состояние этого сигнала указывает на то, что

модем обнаружил носитель данных. Этот сигнал поступает из модема. Его состояние отражается в бите 7 регистра состояния модема MSR. Бит 3 этого же регистра показывает, изменилось ли состояние "DCD/" со времени последнего считывания.

"RING INDICATE" ("RI/") - индикатор вызова. Активное состояние этого сигнала указывает на то, что модем (или устройство передачи данных) обнаружили сигнал телефонного вызова. Этот сигнал "RI/" поступает из модема. Его состояние отражается в бите 6 регистра состояния модема.

Примечание. Всякий раз, когда бит 6 регистра состояния модема изменяет состояние с 0 на 1, генерируется прерывание (если разрешено прерывание "состояние модема").

4.10.5.2. Выходные сигналы контроллера

"DATA TERMINAL READY" ("DTR/") - устройство обработки данных готово. Активное состояние этого сигнала информирует модем о готовности контроллера к установлению связи. Этот сигнал может быть переведен в активное состояние установкой в 1 бита 0 регистра управления модемом MCR. В пассивное состояние он переводится операцией общего сброса.

"REQUEST TO SEND" ("RTS/") - запрос на передачу. Активное состояние этого сигнала информирует модем о готовности контроллера к передаче данных. Он может активизироваться установкой в 1 бита 1 регистра управления модемом MCR. Этот сигнал переводится в пассивное состояние общим сбросом.

"OUTPUT 1" ("OUT1/") - Выход 1 - назначаемый пользователем выход, активизируемый установкой в 1 бита 2 MCR. "OUT1/" переводится в пассивное состояние общим сбросом.

"OUTPUT 2" ("OUT2/") - Выход 2 - назначаемый пользователем выход, активизируемый установкой в 1 бита 3 MCR. "OUT2/" переводится в пассивное состояние общим сбросом. Этот сигнал управляет подаваемыми в систему прерываниями.

4.11. Многостандартный видеоконтроллер

Основную нагрузку по реализации главных функций видеоконтроллера несет большая интегральная схема (БИС) типа CITYGATE D10. В состав БИС входят следующие функциональные узлы :

- Контроллер параллельного порта с интерфейсом CENTRONICS;

- Адресный селектор, обеспечивающий адресацию видеобуфера и регистров видеоконтроллера;

- Синхронизатор, генерирующий основные временные последовательности обращения к динамической видеопамяти, сигналы горизонтальной и вертикальной синхронизации, подсветку курсора и обеспечивающий регенерацию динамической памяти видеоконтроллера;

- Символьно - графический контроллер, который направляет данные из памяти контроллеру атрибутов и процессору. В графическом режиме данные памяти контроллеру атрибутов поступают в последовательной форме, а в алфавитно-цифровом - параллельной. Контроллер форматирует данные для совместимости различных режимов и обеспечивает цветовое сравнение для выполнения операций закраски. Схемные особенности контролле-

ра позволяют процессору писать 32 бита в один цикл обращения к памяти (8 бит на плоскость) для быстрого отображения. Дополнительная логика маскирования позволяет процессору писать данные в формате, отличном от байта;

- Контроллер атрибутов, управляющий режимами мерцания и подчеркивания, обеспечивающий цветовую палитру в шестнадцать цветов и формирующий шесть цветовых выходов, подаваемых на монитор.

Кроме БИС D10 видеоконтроллер содержит :

- видеобуфер, который хранит предназначаемую для отображения символьную или графическую информацию. Адрес и размер видеобуфера могут программно изменяться для обеспечения совместимости с различными видеорежимами. Полный объем оперативной памяти видеоконтроллера - 256 Кбайт. Сведения об адресации видеобуфера в различных режимах приведены в табл. 2;

- буфер данных системной шины, обеспечивающий двунаправленный обмен данными между центральным процессором и контроллером;

- буфер видеовыходов, обеспечивающий согласование выходных сигналов видеоконтроллера со входом видеомонитора;

- кварцевый генератор 50 MHZ, являющийся главным источником общей синхронизации контроллера и динамической памяти;

- кварцевый резонатор 16 MHZ, который служит времязадающим элементом для внутреннего генератора. Частоты 14 МГц и 16 МГц необходимы для синхронизации контроллера в различных видеорежимах.

- Переключатель, предназначенный для конфигурирования системы видеоконтроллер - монитор - принтер - ЭВМ.

4.11.1. Основные режимы работы видеоконтроллера

4.11.1.1. Алфавитно-цифровые режимы

Формат данных в алфавитно-цифровом режиме для EGA тот же, что и для CGA. Видеобуфер начинается также с адреса B800:0. В качестве дополнительной функции третий бит байта атрибута может быть переопределен в регистре выбора знакогенератора для переключения между установленными фронтами. Тогда доступными становятся до 512 символов одновременно. Когда выбран а/ц режим, BIOS посылает образ символа из ПЗУ в битовую плоскость 2. Процессор запоминает символьные данные в битовой плоскости 0, а атрибуты в плоскости 1. Видеоконтроллер генерирует последовательные адреса и принимает байты кода символа и кода атрибута за одно обращение. Код символа определяет адрес в битовой плоскости 2, которая содержит матрицы образов символов. Соответствующий символу графический образ после обработки в контроллере атрибутов обретает требуемый цвет и поступает на выходной разъем адаптера вместе с синхросигналами для управления ЭЛТ дисплея.

4.11.1.2. Графические режимы

- 320x200 - ДВА И ЧЕТЫРЕ ЦВЕТА В РЕЖИМАХ 4 и 5.

Адресация и формат данных аналогичны режиму 320x200 для CGA. Видеобуфер начинается с адреса B800:0. Образ битовых данных запоминается в битовых плоскостях 0 и 1.

- 640x200 - ДВА ЦВЕТА В РЕЖИМЕ 6.

Адресация и формат данных аналогичен черно-белому режиму 640x200 адаптера CGA. Видеобуфер начинается с адреса B800:0. Образ битовых данных запоминается в битовой плоскости 0.

- 640x350 - МОНОХРОМНЫЙ РЕЖИМ F.

Режим поддерживается со следующими атрибутами: черный, видимый, мерцающий видимый и яркий видимый. Требует 56К байт. Связывая карты 0 и 1, а также 2 и 3, можно сформировать две 32К битные плоскости. Вторая битовая плоскость содержит биты интенсивностей. Обе плоскости расположены по адресу A000:0. Два бита, один на каждую плоскость, определяют один графический элемент (picsel) на экране. Определения элементов даны в табл. 32, где C0, C2 обозначают биты плоскостей видео памяти (основной и интенсивностей соответственно).

Таблица 32

Атрибуты монохромного режима

C2	C0	цвет точки	возможный атрибут
0	0	черный	0
0	1	видимый	3
1	0	мерцающий видимый	C
1	1	яркий видимый	F

Организация памяти последовательная байтовая. Первые 8 графических элементов на экране определяются содержанием памяти A000:0H, вторые - A000:1H, и т.д. Первый графический элемент - крайний левый на экране, внутри байта определяется битом 7, последний - битом 0. Монохромная графика работает в четно/нечетном режиме, означающем, что четные адреса поступают на четную битовую плоскость, а нечетные - на нечетную битовую плоскость. Т.к. обе битовые плоскости расположены по адресу A0000, пользователь должен установить требуемую плоскость через масочный регистр задатчика последовательностей.

- 640x350 - 16/64 ЦВЕТНОЙ ГРАФИЧЕСКИЙ РЕЖИМ 10H.

Этот режим поддерживает 16-ти цветную графику на мониторах среднего или высокого разрешения. Режим используют все 4 битовые плоскости. Каждая битовая плоскость представляет цвет:

CO = синий ..... (B),

C1 = зеленый ..... (G),

C2 = красный ..... (R),

C3 = интенсивность (I).

Четыре бита (1 из каждой плоскости) определяют один графический элемент на экране. Комбинации цветов приведены в табл. 33.

Таблица 33

Возможные цвета режима 10H

I	R	G	B	цвет
0	0	0	0	черный
0	0	0	1	синий
0	0	1	0	зеленый
0	0	1	1	фиолетовый
0	1	0	0	красный
0	1	0	1	пурпурный
0	1	1	0	коричневый
0	1	1	1	белый
1	0	0	0	серый
1	0	0	1	светло-синий
1	0	1	0	светло-зеленый
1	0	1	1	светло-фиолетовый
1	1	0	0	светло-красный
1	1	0	1	светло-пурпурный
1	1	1	0	желтый
1	1	1	1	ярко-белый

Видеобуфер начинается с адреса A000:0. Масочный регистр используется для выбора какой-либо или всех битовых плоскостей для записи.

4.11.2. Регистры видеоконтроллера

4.11.2.1. Внешние регистры

★ В скобках () приведены адреса регистров.

Регистр общего назначения (W/O) (3C2) ★

бит 7 6 5 4 3 2 1 0

- 0 — выбор адреса, 1=3Bx; 0=3Dx.
- 1 — 1=разрешает доступ процессору к ОЗУ.
- 2,3 — 00=14 МГц; 01=16 МГц; 10=внешний тактовый генератор.
- 4 — 1=запрещает внутреннее управление видео, управление с контактной колодки.
- 5 — 1=выбирает старшую страницу памяти в четно/нечетных режимах (режимы 0,1,2,3,7).
- 6 — 1=выбирает отрицательный импульс горизонтального обратного хода.
- 7 — 1=выбирает отрицательный импульс вертикального обратного хода.

Входной статусный регистр 0 (R/O). (3C2)

бит 7 4

- 1=позволяет процессору читать состояние четырех младших бит переключателя конфигурации видеоконтроллера (в ОЗУ по адресу 40:88H).
- бит прерывания: 1=происходит вывод на экран; 0=обратный ход луча по вертикали.

Входной статусный регистр 1 (R/O). (3DA)

бит 5 4 3 2 1 0

- 0=свидетельствует об обратном горизонтальном или вертикальном ходе луча.
- строб светового пера.
- 0=кнопка пера нажата.
- 1=обратный вертикальный ход. Бит может быть использован для прерывания IRQ2 (для XT) через биты 5 и 6 регистра 11H видео контроллера.
- разряды диагностики, подсоединяются к двум из 6-ти цветовых выходов контроллера атрибутов. Возможны комбинации:

Регистр цветовой плоскости		Входной статусный регистр 1	
бит 5	бит 4	бит 5	бит 4
0	0	красный	синий
0	1	яр.синий	зеленый
1	0	яр.красн.	яр.зелен.

4.11.2.2. Регистры задатчика последовательностей

Обращение к этим регистрам возможно через порт ЗС5 после занесения в порт ЗС4 соответствующего регистру индекса.

Имя регистра	Порт	Индекс
Адрес	ЗС4	-
Сброс	ЗС5	0
Режим синхронизации	ЗС5	1
Маска	ЗС5	2
Выбор знакогенератора	ЗС5	3
Режим памяти	ЗС5	4

Регистр сброса (ЗС5/0)

бит 1 0

- 1 — асинхронный сброс, 0=перевод выходов в третье состояние.
- 0 — синхронный сброс, используемый при смене режимов синхронизации.

Регистр режима синхронизации (ЗС5/1)

бит 3 2 1 0

- 0 — 0=ширина символа 9 точек, действителен в режиме 7, в остальных ширина 8 точек.
- 1 — 0=обращение контроллера к ОЗУ занимает 4 цикла из 5-ти возможных, необходимы в режиме высокого разрешения.
  1=обращение контроллера к ОЗУ занимает 2 цикла; в режиме среднего разрешения, когда объем передаваемых данных меньше, позволяет уменьшить время доступа процессора к видеоОЗУ.
- 2 — 1=параллельно-последовательный преобразователь перезагружается лишь на каждый отличающийся символ.
  0=перезагружается на каждый символ.
- 3 — 1=частота синхросигнала делится на 2.

Регистр маски. (R/W) (3C5/2)

бит 3 2 1 0

| | | └──── 1=разрешен доступ к плоскости 0.
| | └────── 1=разрешен доступ к плоскости 1.
| └──────── 1=разрешен доступ к плоскости 2.
└────────── 1=разрешен доступ к плоскости 3.

0FH в регистре диктует процессору производить за ОДИН цикл памяти 32-х разрядные операции. В четно/нечетном режиме карты 0-3 будут иметь одинаковые маски.

Регистр выбора знакогенератора (3C5/3)

бит 3 2 1 0

| | └┴──── выбор карты B; Когда бит_3 байта атрибутов=0, действительна следующая таблица

биты 1,0	выбрана карта	расположение
0 0	0	1-е 8К пл.2,банк 0
0 1	1	2-е 8К пл.2,банк 1
1 0	2	3-е 8К пл.2,банк 2
1 1	3	4-е 8К пл.2,банк 3

└┴──── выбор карты A; Когда бит_3 байта атрибутов=1, действительна следующая таблица

биты 3,2	выбрана карта	расположение
0 0	0	1-е 8К пл.2,банк 0
0 1	1	2-е 8К пл.2,банк 1
1 0	2	3-е 8К пл.2,банк 2
1 1	3	4-е 8К пл.2,банк 3

В текстовом режиме 3-й бит атрибутов обычно включает или выключает повышенную яркость символа, однако может быть использован в качестве переключателя между знакогенераторами, когда выбраны различные значения для карт A и B. Бит 1 регистра режима памяти должен быть равен 1, иначе всегда выбирается банк 0. Для 256К возможны 4 знакогенератора.

Регистр режима памяти (3C5/4)

бит 2 1 0

- 1=выбран текстовый режим, возможен выбор знакогенератора.
- 1=используется расширенная память.
- 0=четные адреса процессора адресуют к картам 0 и 2, нечетные к 1 и 3, как в CGA. 1=последовательный доступ к данным в битовой плоскости.

Доступ к плоскостям осуществляется в соответствии со значением в регистре масок.

4.11.2.3. Регистры ВИС видеоконтроллера

Обращение к этим регистрам возможно через порт 3D5 после занесения в порт 3D4 соответсвующего регистру индекса.

Имя регистра	единиц	Индекс
Индексный		-
по горизонтали всего	сим	00
размер отображаемого по горизонтали	сим	01
начало невидимой области по горизонтали	сим	02
конец невидимой области по горизонтали	сим	03
начало строчного импульса	сим	04
конец строчного ипмульса	сим	05
по вертикали всего (младшие 8 разрядов)	строка	06
регистр переполнений		07
начало видимой области по вертикали	строка	08
размер символа по вертикали	строка	09
начало курсора	строка	0A
конец курсора	строка	0B
начальный адрес видео (старший байт)		0C
начальный адрес видео (младший байт)		0D
положение курсора (старший байт)		0E
положение курсора (младший байт)		0F
начало кадрового импульса (младшие)	строка	10
адрес светового пера (старший байт)		10
конец кадрового импульса	строка	11

Имя регистра	единиц	Индекс
адрес светового пера (младший байт)		11
конец видимой области по вертикали	строка	12
логическая длина линии экрана		13
положение подчеркивания	строка	14
начало невидимой области V (младшие)	строка	15
конец невидимой области V(младшие 5 бит)	строка	16
режим управления		17
сравнение строк		18

Регистры БИС видеоконтроллера во многом аналогичны регистрам микросхемы 6845 адаптера CGA [5]. О регистре 11H следует сказать особо:

разряды 5 4

| └— 0=сброс прерывания,

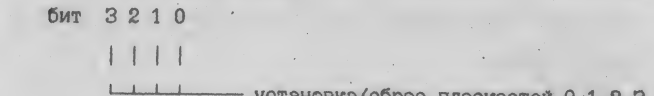
└—— 0=разрешение прерывания.

4.11.2.4. Регистры графического контроллера

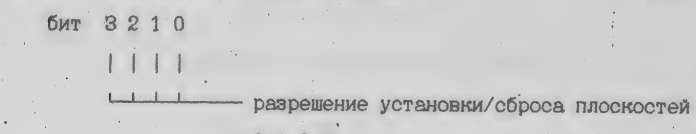
Имя регистра	Порт	Индекс
Позиционный 1	3CC	- = 0
Позиционный 2	3CA	- = 1
Индексный	3CE	-
Установка/Сброс	3CF	0
Разрешение установки	3CF	1

Имя регистра	Порт	Индекс
Сравнение цвета	3CF	2
Циклического сдвига	3CF	3
Масочный чтения	3CF	4
Регистр режима	3CF	5
Смешаный	3CF	6
Игнорирование цвета	3CF	7
Разрядная маска	3CF	8

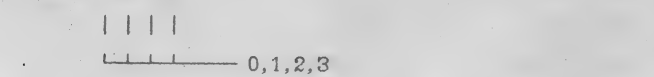
Регистр установки/сброса (3CF/0)



Регистр разрешения установки/сброса (3CF/1)



Регистр сравнения цвета (3CF/2)



Если процессор устанавливает режим чтения один графического контроллера и читает память, данные, возвращаемые из памяти, содержат единицу в каждом бите, где значение четырех битовой плоскости совпало со значением в регистре сравнения цветов.

Регистр циклического сдвига (3CF/3)

```
бит  4 3 2 1 0
     | | | | |
     | | └─┴─┴── счетчики 0, 1, 2; содержат значение числа
     | |         позиций, на которые сдвинутся данные про-
     | |         цессора во время записи в память. Эта
     | |         операция выполняется, когда режим записи 0.
     └─┴──────── выбор функции логической операции с данными:
                   0 0 = данные не изменяются,
                   0 1 = AND,
                   1 0 = OR,
                   1 1 = XOR.
```

Циклический сдвиг выполняется до логической операции.

Регистр выбора карты чтения (3CF/4)

```
бит  2 1 0
     └─┴─┴──── карты 0,1,2; представляют значение номера
               плоскости, из которой процессор читает данные.
               Смотри пример  check_Color .
```

Регистр режима (3CF/5)

```
бит  5 4 3 2 1 0
     | | | | └┴── режим записи;
     | | | |       0 0 - каждая плоскость записывается данными
     | | | |           процессора в соответствии с регистрами
     | | | |           масок и циклического сдвига. Плоскости,
     | | | |           для которых разрешены установка/сброс
     | | | |           записываются 8 битами, значение которых
     | | | |           содержится в соответствующем разряде
     | | | |           регистра сброса/установки.
     | | | |       0 1 - каждая плоскость м.б. переписана в дру-
     | | | |           гую через регистры-защелки, содержимое
     | | | |           регистров масок игнорируется.
     | | | |       1 0 - альтернативный способ записи точки
     | | | |           плоскости N(0..3) заполняются значениями
     | | | |           бита N данных согласно регистр разрядной
     | | | |           маски.
     | | | └──── 1=переводит выходы графического контроллера
     | | |         в высокоимпедансное состояние для проверки.
     | | └────── 0=процессор читает данные из плоскости
     | |           памяти, выбранной регистром выбора карты
     | |           чтения.
     | |         1=процессор читает результат сравнения 4-х
     | |           плоскостей и регистра сравнения цвета.
     | └──────── 1=выбирает четно/нечетный режим адресации,
     |           используемый при эмуляции CGA.
     └────────── 1=регистры сдвига переключают поток данных на
                 четные или нечетные плоскости.
```

Использованию различных режимов чтения, записи посвящены подпрограммы Drow_point и check_Color.

Смешаный регистр (3CF/6)

бит 3 2 1 0

| | | └──── 1=выбирает графический режим, адресация к знакогенератору запрещена.

| | └────── 1=связывает четную карту с нечетной

└└──────

0 0 - A000 для 128 К,

0 1 - A000 для 64 К,

1 0 - B000 для 32 К,

1 1 - B800 для 32 К.

Если видеоконтроллер адресуется с A0000 в системе не может быть использован дополнительный адаптер.

Регистр игнорирования цвета (3CF/7)

бит 3 2 1 0

└┘└┘└┘└┘──── плоскости 0,1,2,3.

0=соответствующая плоскость игнорируется при сравнении (подпрограмма check_Color).

Регистр маски (3CF/8)

бит 7 6 5 4 3 2 1 0

└┘└┘└┘└┘└┘└┘└┘└┘ 0=предохраняет соответствующий бит от изменений при записи байта данных.

Маска используется для всех плоскостей одновременно.

4.11.2.5. Регистры контроллера атрибутов

Имя регистра	Порт	Индекс
Адресации	3C0	-
Регистры палитры	3C0	00-0F
Управление режимом	3C0	10
Регистр цвета окантовки	3C0	11
Разрешение цвет. плоскости	3C0	12
Горизонтальный сдвиг	3C0	13

Адресный регистр (3C0/0)

бит 5 4 3 2 1 0

- └┴┴┴┴┴ адрес атрибутов.

  Контроллер атрибутов не имеет возможности контролировать выбор адресного или регистра данных. Внутренний триггер выбирает адресный регистр или регистр данных. Обращение по адресу 3DA сбрасывает этот триггер и выбирает адресный регистр (см. программу Screen_Shock). Следующая инструкция OUT загружает регистр данных.

- └──────── 1=доступ со стороны контроллера разрешен, 0=загрузка регистров данными.

Регистры палитры (3C0/0-F)

```
бит  5 4 3 2 1 0
     | | | | | └── B          R,G,B == 2/3 интенсивности
     | | | | └──── G          r,g,b == 1/3 интенсивности
     | | | └────── R
     | | └──────── b /при эмуляции MONO - подчеркивание,
     | └────────── g /при эмуляции - интенсивность,
     └──────────── r
```

Позволяют динамически переключать атрибуты текста или цвет в графическом режиме. Для избежания мерцания изображения модифицировать регистры палитры необходимо во время вертикального обратного хода луча. Мониторы, имеющие шесть входов цветности, дают шестьдесят четыре цвета.

Регистр режима. (3C0/10)

```
бит  3 2 1 0
     | | | └──── 0/1=выбирается текстовый/графический режим.
     | | └────── 0/1=монохромный/цветной режим.
     | └──────── 0=9-я точка имеет цвет фона,
     |           1=разрешены специальные графические символы.
     └────────── 0=выбирает фоновую интенсивность,
                 1=разрешает мерцание в текстовом и графическом режимах.
```

Регистр цвета окантовки. (ЗС0/11)

```
бит  5 4 3 2 1 0
     | | | | | └── B
     | | | | └──── G
     | | | └────── R
     | | └──────── b
     | └────────── g
     └──────────── r
```

Регистр разрешения цветовой плоскости (ЗС0/12)

```
бит  5 4 3 2 1 0
     | | └─┴─┴─┴── 1-разрешает соответствующую плоскость
     └─┴──────────  выбирают два из шести цветов для входного статусного регистра.
```

Регистр разрешения разряды 5 4	Входной стат. регистр 1 разряды 5 4
0 0	R B
0 1	b G
1 0	r g

Подпрограмма to_Blue выбора цветовой плоскости приведена в приложении 1.

Регистр горизонтального сдвига (3C0/13)

бит 3 2 1 0

└┴┴┴──── представляет число графических элементов сдвига видео данных влево: в монохромном режиме максимум на 9, в остальных на 8.

4.11.3. Исходные значения регистров видеоконтроллера

Таблица 34

Значения регистров видеоконтроллера в режимах 3 и 10H, загружаемые по включению питания [1].

Внешние регистры		10H	03
общего назначения	3C2	A7	A7
признаков	3DA	00	00
Регистры задатчика последовательностей			
сброса	3C5/00	03	03
режим синхронизации	3C5/01	01	01
маска карты	3C5/02	0F	03
выбор знакогенератора	3C5/03	00	00
режим памяти	3C5/04	06	03

Продолжение табл. 34

Регистры ВИС видеоконтроллера

общий размер по горизонтали	3D5/00	5B	5B
размер отображаемого по горизонтали	3D5/01	4F	4F
начало невидимой области по горизонтали	3D5/02	53	53
конец невидимой области по горизонтали	3D5/03	37	37
начало строчного импульса	3D5/04	52	51
конец строчного импульса	3D5/05	00	5B
общий размер по вертикали	3D5/06	6C	6C
регистр переполнений	3D5/07	1F	1F
начало видимой области по вертикали	3D5/08	00	00
размер символа по вертикали	3D5/09	00	0D
начало курсора	3D5/0A	00	0B
конец курсора	3D5/0B	00	0C
начало кадрового импульса	3D5/10	5E	5E
конец кадрового импульса	3D5/11	2B	2B
конец видимой области по вертикали	3D5/12	5D	5D
длина линии экрана	3D5/13	28	28
положение подчеркивания	3D5/14	0F	0F
начало невидимой области по вериткали	3D5/15	5F	5E
конец невидимой области по вертикали	3D5/16	0A	0A
режим управления	3D5/17	E3	A3
сравнение строк	3D5/18	FF	FF

Продолжение табл. 34

Регистры графического контроллера			
установка/сброс	3CF/00	00	00
разрешение установки/сброса	3CF/01	00	00
сравнение цвета	3CF/02	00	00
циклический сдвиг	3CF/03	00	00
выбор карты чтения	3CF/04	00	00
режим	3CF/05	00	10
общий	3CF/06	05	DE
игнорирование цвета	3CF/07	0F	00
разрядная маска	3CF/08	FF	FF
Регистр атрибутов			
	3C0/00	00	00
	3C0/01	01	01
	3C0/02	02	02
	3C0/03	03	03
	3C0/04	04	04
	3C0/05	05	05
	3C0/06	14	14
	3C0/07	07	07
	3C0/08	38	38
	3C0/09	39	39
	3C0/0A	3A	3A
	3C0/0B	3B	3B

Продолжение табл. 34

√Регистр атрибутов			
	3C0/0C	3C	3C
	3C0/0D	3D	3D
	3C0/0E	3E	3E
	3C0/0F	3F	3F
управление режимом	3C0/10	10	08
окантовка экрана	3C0/11	00	00
цветовая плоскость	3C0/12	0F	0F
горизонтальный сдвиг	3C0/13	00	00

4.11.4. Выходной разъем видеоконтроллера

Назначение контактов выходного разъема видеоконтроллера приведено в табл.35

Таблица 35

N вывода	Назначение вывода		
	CGA-монитор	EGA-монитор	MDA-монитор
1	Ground	Ground	Ground
2	Ground	red	Ground
3	Red	Red	Reserved
4	Green	Green	Reserved

Продолжение табл. 35

N вывода	Назначение вывода		
	CGA-монитор	EGA-монитор	MDA-монитор
5	Blue	Blue	Reserved
6	Intensity	green	Intensity
7	Reserved	blue	Video
8	Hor.sync	Hor.sync	Hor.sync
9	Vert.sync	Vert.sync	Vert.sync

Следует также учитывать, что видеоконтроллер может работать совместно с другими типами видеоадаптеров в составе одного компьютера, причем он может использоваться в качестве основного (первого) или дополнительного (второго). Допустимые сочетания таковы:

Первый	Второй
EGA	CGA
EGA	MDA
CGA	EGA
MDA	EGA

Видеоконтроллер может быть использован совместно с мониторами стандартов EGA, CGA, MDA.

Возможные сочетания режимов, адаптеров и мониторов, а также требуемые при этом положения переключателей приведены

в табл. 36.

Таблица 36

Варианты установки переключателей видеорежимов на системной плате (SW2)

N переключателя				Видеоконтроллер используется как	Тип монитора	Режим EGA видеоконтроллера	Режим совместного включения видеоконтроллера С	
S1	S2	S3	S4				MDA	CGA
1	1	0	1	первый	MDA	EGA	-	80x25
0	1	0	1	первый	MDA	EGA	-	40x25
1	0	0	1	первый	EGA	Выс. разр.	+	-
0	0	0	1	первый	EGA	Интеллект.	+	-
1	1	1	0	первый	CGA	80x25	+	-
0	1	1	0	первый	CGA	40x25	+	-
1	0	1	0	второй	MDA	EGA	-	80x25
0	0	1	0	второй	MDA	EGA	-	40x25
1	1	0	0	второй	EGA	Выс. разр.	+	-
0	1	0	0	второй	EGA	Интеллект.	+	-
1	0	0	0	второй	CGA	80x25	+	-
0	0	0	0	второй	CGA	40x25	+	-

*** Состоянию "0" соответствует замкнутое состояние переключателей SW2.

S1 - контактная группа 5 - 12 SW2

S2 - контактная группа 6 - 11 SW2

S3 - контактная группа 7 - 10 SW2

S4 - контактная группа 8 - 9 SW2

4.11.5. Видео-функции BIOS

Работа с видеоконтроллером выполняется под управлением программы, записанной в системном ПЗУ ЭВМ. Ниже представлены доступные видео-функции, вызываемые с помощью прерывания 10H.

00h Установка режима

AH=00h,

AL=режим из приведенной выше таблицы 1.

Функция не очищает экран, если старший бит AL установлен в 1.

01h Установка курсора в текстовом режиме

AH=01h,

CH=начало курсора (разряды 0-4),

CL=конец курсора (разряды 0-4).

Сделать курсор невидимым можно установив его на строку 25 или задав CH, равным высоте символа. Форма курсора устанавливается для всех страниц одинаковой .

02h Позиционирование курсора

AH=02h,

BH=страница,

DH=строка (0-24),

DL=столбец (0-79).

03h Чтение координат и формы курсора

AH=03h,

DH=страница.

Возвращает:

CH=начало курсора,

CL=конец курсора,

DH=строка координата,

DL=столбец координата.

05h Установка активной страницы

AH=05h,

AL=номер страницы (0-1 для режима 10h,

(0-3 для режима 03h)

06h Сдвиг окна вверх

AH=06h,

AL=число смещаемых строк,

BH=значение атрибута для освобождаемой области,

CH=верхняя строка окна,

CL=левый столбец окна,

DH=нижняя строка окна,

DL=правый столбец окна.

07h Сдвиг окна вниз

AH=07h,

AL=число смещаемых строк,

BH=значение атрибута для освобождаемой области,

CH=верхняя строка окна,

CL=левый столбец окна,

DH=нижняя строка окна,

DL=правый столбец окна.

08h Чтение символа и атрибута, адресуемых курсором

AH=08h,

BH=страница.

Возвращает:

AH=атрибут символа,

AL=символ.

09h Вывод адресуемого курсором символа с атрибутом

AH=09h,

AL=ASCII код символа,

BH=страница,

BL=атрибут,

CX=число выводимых символов.

Курсор во время вывода не перемещается.

В текстовом режиме в конце строки выполняется переход на новую. В графическом режиме если старший разряд байта атрибутов установлен, символ выводится

с выполнением функции XOR.

0Ah Вывод символа, адресуемого курсором -
AH=0Ah,
AL=ASCII код символа,
BH=страница,
CX=число печатаемых символов.
Курсор во время печати не перемещается.
Аналогична функции 09, за исключением использования атрибутов.

0Bh Установка цветовой палитры
(для режима среднего разрешения)
AH=0Bh,

0Ch Запись точки
AH=0Ch,
AL=цвет точки (0-15),
CX=X-координата (0-639, для режима 10h),
DX=Y-координата (0-349, для режима 10h),
BH=страница (0-1, для режима 10h).

0Dh Чтение точки
AH=0Dh,
CX=X-координата,
DX=Y-координата,
BH=страница.

Возвращает:

AL=цвет точки.

0Eh Вывод символа с продвижением курсора

AH=0Eh,

AL=ASCII код символа,

BL=цвет в графическом режиме,

BH=страница.

Действительны символы управления BELL, BS, CR, LF. В текстовом режиме действительны атрибуты предыдущего символа на текущем знакоместе. В графическом - необходимо задание цвета в регистре BL.

0Fh Определение текущего режима

AH=0Fh.

Возвращает:

AL=режим,

AH=число символов в строке,

BH=номер активной страницы.

10h Загрузка палитры

AH=10h,

AL=0 - установка регистров палитры,

BL=регистр,

BH=значение: разряды 7 6 5 4 3 2 1 0

. . r g b R G B

----- -----

интенсивность 1/3 2/3

AL=1 - установка регистра окантовки,

BH=значение.

AL=2 - установка регистров палитры и окантовки,

ES:DX - указатель на таблицу значений длиной 17 байтов (последний - окантовка).

AL=3 - переключатель интенсивность/мерцание значения разряда 7 атрибута,

BL=0 -- определяет мерцание символа,

BL=1 -- определяет интенсивность фона.

11h Загрузка знакогенератора

AH=11h,

AL=00h-знакогенератор пользователя (текст),

ES:BP=указатель на таблицу,

CX=число символов,

DX=смещение в таблице,

BL=блок (0-3),

BH=число байтов на символ.

AL=01h-знакогенератор ROM 8x14 (моно),

BL=блок (0-3).

AL=02h-знакогенератор ROM 8x8 двойной (текст),

BL=блок (0-3).

AL=03h-установка определенного блока (текст),

BL- разряды 3 2 1 0
--- ---
| +-- когда сброшен
| бит_3 атрибута,
+-- когда установлен бит_3
аттрибута

AL=10h-знакогенератор пользователя (текст),
ES: BP-указатель на таблицу,
CX-число символов,
DX-смещение в таблице,
BL-блок (0-3),
BH-число байтов на символ.

AL=11h-знакогенератор 8x14 (моно),
BL-блок (0-3).

AL=12h-знакогенератор 8x8 двойной (текст),
BL-блок (0-3).

AL=20h-знакогенератор пользователя 8x8 (граф),
ES: BP-указатель на таблицу для символов
128-255 (INT 1Fh для режимов < 7).

AL=21h-знакогенератор пользователя (граф),
ES: BP-указатель на таблицу символов
0-255 (INT 43h для режимов > 7).
CX-число байт на символ,
BL-индекс:
00-DL-число строк,
01-14 строк,
02-25 строк,
03-43 строки.

AL=22h-знакогенератор 8x8 (граф),

BL=индекс.

AL=23h-знакогенератор 8x8 двойной (граф),

BL=индекс.

AL=30h-возвращает информацию о знакогенераторе,

BH=индекс указателя:

0-текущий для INT 1Fh,

1-текущий для INT 43h,

2-ROM 8x14,

3-ROM 8x8 двойной,

5-ROM 9x14 альтернативный.

Возвращает:

ES:BP=указатель,

CX=число линий на символ,

DL=число линий.

Функции 10h, 11h и 12h перепрограммируют регистры видео-контроллера и поэтому должны следовать за установкой режима.

13h Вывод строки символов

AH=13h,

BH=страница,

BL=атрибут (для AL=0,1),

CX=длина строки,

DH=строка координата,

DL=столбец координата,

ES:BP=указатель на строку,

AL=0: все символы с атрибутами в BL,
курсор не устанавливается;
AL=1: все символы с атрибутами в BL,
курсор устанавливается;
AL=2: атрибуты в строке,
курсор не устанавливается;
AL=3: атрибуты в строке,
курсор устанавливается;

Функция работает и в текстовом и графическом режимах, сохраняя за собой подгруженный знакогенератор.

15h Чтение характеристик дисплея

AH=15h,

Возвращает [8]:

AX=индекс типа дисплея:
5153h-color,
5151h-mono.

ES:DI=указатель на таблицу длиной 7 слов
1: номер модели дисплея,
2: точек на метр по вертикали,
3: точек на метр по горизонтали,
4: число точек по вертикали,
5: число точек по горизонтали,
6: высота точки в микрометрах,
7: ширина точки в микрометрах.

4.11.6. Используемые адреса ОЗУ в области данных BIOS

адрес	байт	функция	а/ц
449	1	текущий режим видеоконтроллера	(3)
44A	2	ширина экрана в символах	(50h)
44C	2	длина видео буфера в байтах	(1000h)
44E	2	смещение для активной страницы	(0)
450	16	кординаты курсоров два байта на каждый:	
		младший - столбец, старший - строка	
460	2	форма курсора	
462	1	текущая активная строка	(0)
463	2	базовый адрес видео-контроллера	(3D4h)
484	1	число строк на экране - 1	(18h)
485	2	высота символа	(0Eh)

487 — 1 — 7 6 5 4 3 2 1 0 — (60h)

- 1 — эмуляция курсора разрешена,
- 1 — монохромный дисплей,
- 1 — включено ожидание обратного хода,
- 1 — EGA не активна,
- 11 — 256К байт ОЗУ,
- старший бит байта режима.

488 1 7 6 5 4 3 2 1 0 (0F9h)

| | | | └┴┴┴┴ состояние переключателя видеоконтроллера,

| | | | разряды признаков из статусных регистров.

4A8 4 указатель на блок данных видеоконтроллера: (C000:????)

+00 -- адрес таблицы видео-параметров, (C000:????) длина таблицы 1472 байт, по 64 байт на каждый режим работы видеоконтроллера.

+04 -- адрес таблицы динамических параметров,

+08 -- адрес данных о дополнительном текстовом знакогенераторе,

+0C -- адрес данных о дополнительном графическом знакогенераторе.

4.11.7. Организация видео - ОЗУ

В режиме 640x350 видео память представляет собой 4 битовых плоскости, расположенные в одном адресном пространстве, когда одному разряду байта соответствует одна точка. Организация отображеня видео буфера на экран в режиме EGA шестнадцать цветов следующая:

адрес	A0000	A0001	A0002..	
разряд	7	6 5 4 3 2 1 0	7 6 5 4 3 2 1 0	7 6 5 4 3.. <= 1-я линия

Запись и представление точки на экране определяется состоя-

нием дополнительных регистров: регистра разрядной маски (8 бит), а также регистра Разрешения Установки/сброса (4 бита) и регистра Установки/сброса (4 бита) в режиме записи 0 (см. п.4.11.2.4).

4.11.7.1. Режим записи 0

Регистр разрядной маски (3CF/8) определяет разряды байта, которые могут быть изменены в видео ОЗУ при записи. Установленный разряд в регистре Разрешения Установки/сброса (3CF/1) при обращении к видео ОЗУ устанавливает или сбрасывает все 8 разрядов в зависимости от состояния соответствующего разряда регистра Установки/Сброса (3CF/0). Байт плоскости, не выбранной маской, останется неизменным (на рис.10 - плоскость, заполненная "u"), если установлен соответствующий разряд регистра Установки/сброса и не установлен регистр маски плоскости.

Взаимодействие регистров граф.контроллера в режиме 0

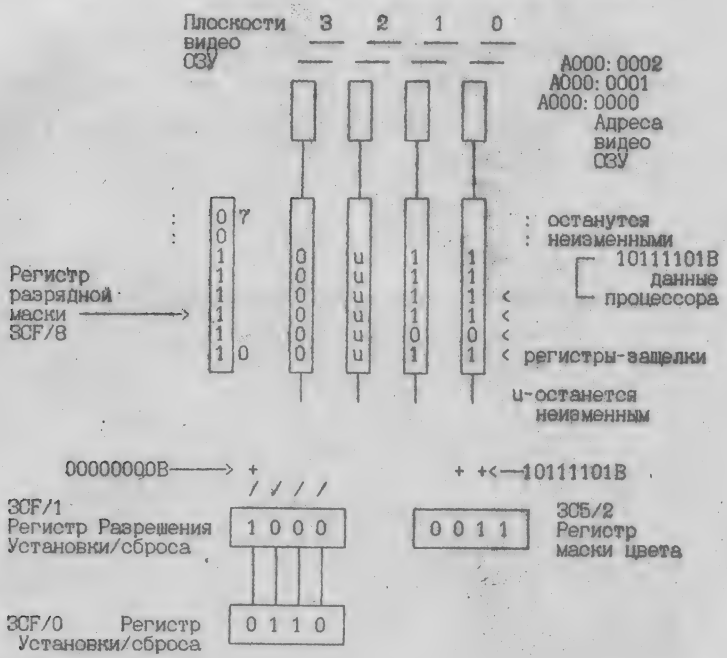


Рис. 10

Важно отметить, что обмен с видеопамятью происходит через регистры-защелки и требует независимо от производимой операции выполнять и чтение и запись.

4.11.7.2. Режим записи 2

Альтернативный режим установки цвета точки безусловно окрашивает выбранные разрядной маской точки видео ОЗУ, при записи по выбранному адресу не байта данных, а четырех разрядов атрибута.

Взаимодействие регистров граф.контроллера в режиме 2

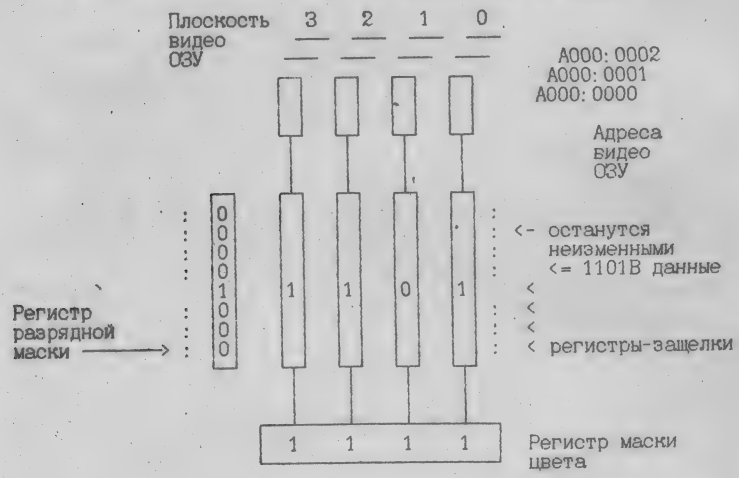


Рис. 11

4.11.7.3. Режимы чтения атрибутов точки

Возможны 2 режима чтения атрибутов точки видео-буфера. В режиме чтения 0 последовательно могут быть прочитаны абсолютные значения разрядов каждой плоскости видео буфера.

В режиме чтения 1, как правило, выполняется логическое чтение атрибутов точки, т.е. проверяется факт совпадения атрибута читаемой точки с установленным значением регистра цветового сравнения. В случае совпадения в соответствующем разряде байта при чтении возвращается единица. Дополнительно может использоваться регистр игнорирования цвета при сравнении, обеспечивающей функцию ИЛИ при этой логической операции.

4.12. Параллельный порт CENTRONICS

Аппаратную поддержку интерфейса Centronics на логическом уровне осуществляют регистры микросхемы TD10.

4.12.1. Регистры порта Centronics

4.12.1.1. Регистр данных это 8-разрядный регистр, выбираемый по адресу 378H. Фиксация данных в этом регистре осуществляется импульсом записи. Чтение по этому адресу позволяет проконтролировать содержимое регистра данных, либо принять данные, поступившие на входы порта Centronics (режим чтения Centronics).

4.12.1.2. Регистр состояния, выбираемый по адресу 379H, обеспечивает чтение сигналов состояния параллельного порта.

Назначение битов регистра состояния приведено в табл.37.

Таблица 37

Бит	Функция
0	Не используется
1	Не используется
2	Не используется
3	ERROR/ (Ошибка)
4	Не используется
5	PEND/ (Конец бумаги)
6	ACK/ (Подтверждение)
7	BUSY (Устройство занято)

Биты 0-2 - не используются.

Бит 3 - состояние сигнала "ERROR/" :

сброс в "0" означает, что произошла ошибка.

Бит 4 - не используется.

Бит 5 - состояние сигнала "PEND/" (конец бумаги):

Установка "1" означает, что принтер выявил конец бумаги.

Бит 6 - текущее состояние сигнала "ACK/" (подтверждение).

Показывает, что устройство (принтер) приняло символ и готово принять следующий. Сигнал "ACK/" активен примерно 5 мкс до перехода сигнала "BUSY" в активное состояние. Бит 7- состояние сигнала "BUSY" (устройство занято).

Если сигнал активен, то этот бит равен 0 и устройство не может принимать данные. Сигнал "BUSY" активен во время ввода данных, при автономной работе устройства, а также при нахождении в состоянии ошибки.

4.12.1.3. Регистр управления интерфейсом

Это шестиразрядный регистр. Запись в него осуществляется по адресу 37АН. Регистр обеспечивает формирование сигналов "STB/","AUTO/", "INIT/", "SELIN/", управляющих работой интерфейса Centronics.

Назначение битов порта 37АН приведены в табл. 38.

Таблица 38

Бит	Функция
0	STB/ (Строб данных)
1	AUTO FEED (Автоматический перевод строки)
2	INIT/ (Инициализация)
3	SELIN (Вход выбора)

Продолжение табл. 38

Бит	Функция
4	IRQ ENABLE (разрешение запроса прерывания)
5	Не используется
6	Не используется
7	Не используется

Бит 0 - строб данных "STB/" активен в течение 0,5 мкс. Используется для тактирования передачи данных. Достоверные данные должны быть установлены не менее чем за 0,5 мкс до и после сигнала "STB/".

Бит 1 - автоматический перевод строки. При установке сигнала "AUTO"=1 обеспечивается перевод строки после ее печати.

Бит 2 - Инициализация. При сбросе этого бита в "0" производится начальная установка подключенного устройства. Минимальная длительность импульса "INIT" равна 50 мкс.

Бит 3 - вход выбора. Когда "SELIN"=1, устройство выбрано.

Бит 4 - разрешение запроса прерывания "IRQEN".

При установке бита "IRQEN"=1 генерируется прерывание, когда сигнал "ACK/" изменяет свое активное состояние (логи-

ческий "0") на пассивное (логическая "1").

Биты 5, 6, 7 не используются.

4.12.2. Соединитель параллельного порта Centronics расположен на задней панели модуля и представляет собой 25-контактный разъем типа D-25 (розетка СНП101-25РП32-1). Расположение выводов разъема представлено на рис.12, а назначение контактов приведено в табл.39.

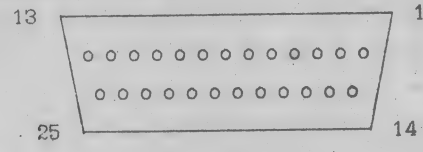


Рис.12

Таблица 39

конт.	вход/выход	Сигнал	конт.	вход/выход	Сигнал
1	выход	STB/	8	выход	LPDAT6
2	выход	LPDAT0	9	выход	LPDAT7
3	выход	LPDAT1	10	вход	ACK/
4	выход	LPDAT2	11	вход	BUSY/
5	выход	LPDAT3	12	вход	PEND/
6	выход	LPDAT4	13	вход	SLCT
7	выход	LPDAT5	14	выход	AUTO/

Продолжение табл.39

конт.	вход/выход	Сигнал	конт.	вход/выход	Сигнал
15	вход	ERROR/	21		земля
16	выход	INIT/	22		земля
17	выход	SELIN/	23		земля
18		земля	24		земля
19		земля	25		земля
20		земля			

4.13. Адаптер интерфейса жесткого диска

4.13.1. Адаптер интерфейса жесткого диска Integrated Divice Elektronics (I.D.E) предназначен для сопряжения микро-ЭВМ с накопителями на жестких магнитных дисках (НЖМД), имеющими встроенный контроллер. Данный интерфейс допускает подключение до двух накопителей в составе ЭВМ и является расширением системного интерфейса.

4.13.2. В функции интерфейса входит обеспечение обмена данными и командами управления между центральным процессором и контроллером НЖМД. Если прерывания разрешены, то запрос прерывания для жестких дисков подается на канал ввода-вывода микро-ЭВМ по линии IRQ5 для дальнейшей обработки контроллером прерываний. Обмен данными и командами управления производится под управлением процессора, при этом возможны операции обмена

между микропроцессором и всеми программно доступными регистрами контроллера НЖМД.

4.13.3. В состав интерфейса входят следующие узлы:

- буфер данных контроллера НЖМД;
- дешифратор адреса;
- буфер адресов и команд;
- выходной разъем интерфейса.

4.13.4. Описание структуры интерфейса

Буфер данных обеспечивает обмен информацией между микропроцессором и контроллером НЖМД в двух режимах:

- передача данных по 16-разрядной шине HD0 - HD15;
- передача команд и сигналов состояния по 8-разрядной шине HD0 - HD7.

В операциях обмена данными контроллер НЖМД выбрасывает сигнал "I/OCS16/", который управляет передачей по 16-разрядной шине. Этот сигнал совместно с сигналами команд центрального процессора "HDRC/" или "HDWC/", а также сигналами выбора устройств "CS0/" или "CS1/" поступает на схему управления буфера данных и настраивает его на передачу слова (низкий уровень сигнала "I/OCS16/"), либо байта данных (высокий уровень сигнала "I/OCS16/").

В микро-ЭВМ "ПОИСК-3" для реализации функции обмена с контроллером НЖМД по интерфейсу IDE зарезервирована область памяти 16 Кбайт в адресном пространстве EC000H - EFFFFH. Дешифратор адреса обеспечивает формирование сигналов выбора устройств "CS0/" (адреса EC000H-EDFFFH) и "CS1/" (адреса EE000H-EFFFFH) контроллера НЖМД.

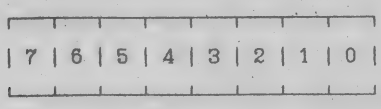
Буфер адресов и команд обеспечивает буферизацию и согласование по нагрузочной способности сигналов команд "MRD/", "MWR/", сигналов управления "ALE", "RES/" и адресов A10 - A12

системного интерфейса.

Ниже приводится описание регистров контроллера НЖМД (см. табл. 40).

Таблица 40

Адрес регистра (HEX)	Вид операции	Функциональное назначение. Формат данных и команд.
EC000H	R/W	Шестнадцатиразрядный регистр данных. Используется для обмена данными с процессором.
EC400H	WRITE	Регистр предкомпенсации записи.
	READ	Регистр ошибок: содержит биты кода ошибок. Имеет следующий формат:



Бит 7 - Bad Block Detect (BB)- обнаружен негодный блок: BB=1, когда поле идентификатора содержит отмеченный негодный блок.

Бит 6 - ECC error - некорректируемая ошибка.

Продолжение табл.40

Адрес регистра (HEX)	Вид операции	Функциональное назначение. Формат данных и команд.
		Бит 5 - всегда равен 0 Бит 4 - ID not found (ID) - не найдены идентификатор сектора, цилиндра, головки или параметры размера. Бит 3 - всегда равен 0 Бит 2 - Command aborted - команда была прервана Этот бит устанавливается в "1" при прерывании выполнения команды. Бит 1 - Track 0 NOT FOUND ON RECAL- ошибка нулевого трека. Бит 0 - Data Address Mark not found (DAM) - не найден маркер адреса данных.
EC800H	R/W	Sector Count Register - регистр счета секторов: используется для определения числа секторов, ко-

Продолжение табл. 40

Адрес регистра (HEX)	Вид операции	Функциональное назначение. Формат данных и команд.
		торые должны быть переданы в буфер.
ECC00H	R/W	Sector Number Register - регистр номера текущего сектора: используется для хранения номера сектора, с которым будут проводится операции по обмену данными. Может содержать значения от 0 до 127.
ED000H	R/W	Cylinder Low Register - регистр младшего байта (биты 0-7) 10-битового номера цилиндра жесткого диска. Используется совместно с регистром старшего байта номера цилиндра для определения желаемого цилиндра в диапазоне от 0 до 1023.
ED400H	R/W	Cylinder High Register - регистр старшего байта номера цилиндра: биты 0-1 этого регистра соответствуют битам 8-9 10-битового номера цилиндра.
ED800H	R/W	Sector/Drive/Head (SDH) Register - биты этого

Продолжение табл. 40

Адрес регистра (HEX)	Вид операции	Функциональное назначение. Формат данных и команд.
		регистра показывают размер сектора, номер накопителя и параметры головки, выбранных для операции. Имеет следующий формат:

7	6	5	4	3	2	1	0
ECC	Размер сектора		Выбор НЖМД	Выбор головки			

Биты 0-3 - выбор одной из шестнадцати головок: осуществляется декодированием комбинации этих четырех бит.

Бит 4 номер выбираемого накопителя: один из двух НЖМД.

Биты 5-6 - из комбинации этих бит декодируется размер выбираемого сектора.

Бит ECC используется для выбора ECC режима коррекции.

Продолжение табл. 40

Адрес регистра (HEX)	Вид операции	Функциональное назначение. Формат данных и команд.
EDC00H	WRITE	Command register - регистр команд: предназначен для записи команд контроллера. DRIVE RECAL - 10 H READ - 20 H WRITE - 30 H VERIFY - 40 H FORMAT TRACK - 50 H INITIALIZE - 60 H SEEK - 70 H DIAGNOSTIC - 90 H DRIVE PARMS - 91 H
EDC00H	READ	Status register - регистр состояния: предназначен для информирования процессора как о действиях контроллера, так и о состоянии линий управления НГМД.

4.13.5. Описание сигналов интерфейса:

- "HDA0-HDA2" - линии адреса, используемые для выбора

регистров контроллера НЖМД;

- "HDALE" - строб адреса;

- "HD0-HD15" - 16 разрядная шина данных, по которой производится обмен данными между процессором и накопителем; передача команд и сигналов состояния производится по 8 разрядовой шине HD0 - HD7;

- "HDRC/" - сигнал чтение из ПАМЯТИ : в активном (низком) состоянии дает накопителю команду вывода его данных на 16-тиразрядную внутреннюю шину;

- "HDWC/" - сигнал запись в ПАМЯТЬ: в активном (низком) состоянии дает накопителю команду принять данные с 16 разрядной внутренней шины;

- "HDRES/" - в активном (низком) состоянии этот сигнал переводит контроллер в начальное состояние. При переходе "HDRES/" в пассивное (высокое) состояние контроллер инициализируется;

- "IRQ5" - запрос прерывания: этот сигнал переводится в активное состояние (высокий уровень) контроллером после выдачи информации о состоянии.

- "CS0/", "CS1/" - сигналы выбора устройств контроллера НЖМД;

- "I/O CS16/" - выход контроллера накопителя; подтверждение сообщения о том, что обмен данными между НЖМД и процессором будет происходить по 16-разрядной шине;

- "I/O CH RDY" - сигнал системного интерфейса;

- "LIGHT"- сигнал индикации работы НЖМД.

4.14. УСТРОЙСТВО И РАБОТА КОНТРОЛЛЕРА НГМД

4.14.1. Контроллер НГМД вместе с накопителями на гибких дисках образует систему, предназначенную для работы с ЭВМ, состоящую обычно из 2 накопителей на 89-или 133-мм ГМД и логических схем дискового контроллера. Эта система подключается к каналу ввода-вывода на системной плате, и через выходной разъем с помощью одного плоского кабеля (интерфейс НГМД) подключается к НГМД. По этому кабелю подаются все управляющие сигналы, сигналы состояния НГМД и сигналы чтения/записи данных.

Накопители совместно с контроллером имеют буферы на шине ввода-вывода и используют для пересылки данных системный канал прямого доступа к памяти (ПДП). Если прерывания разрешены, то запрос прерывания для гибких дисков подается в систему по линии IRQ6. Затем контроллер прерываний выдает вектор прерывания 0EH.

4.14.2. Контроллер НГМД в микро-ЭВМ "ПОИСК-3" реализован на системной плате и выполнен на базе БИС специализированного контроллера гибких дисков - КР1810ВГ72А (в дальнейшем 8272А), которая вместе с буферами адресов и данных, селектором выбора устройств обеспечивают совместимость с системным интерфейсом, а со входными и выходными буферами образуют интерфейс НГМД.

Контроллер гибких дисков 8272А имеет 2 регистра, доступ к которым осуществляет микропроцессор: регистр данных (DSR) и главный регистр состояния (MSR).

Регистр данных хранит данные, команды и параметры и предоставляет информацию чтения контроллера диска. Байты данных читаются из регистра данных или записываются в него с целью программирования или получения результатов после конкретной процедуры.

Перечень команд контроллера 8272A приведен в п.4.14.7.

Связь между микропроцессором и контроллером 8272A осуществляется после чтения главного регистра состояния MSR для определения готовности 8272A к приему команды или данных, поступающих в контроллер через регистр данных. Регистр MSR может быть прочитан в любой момент времени, также как и в регистр DSR могут быть записаны параметры скорости работы с НГМД. Регистр данных 8272A может быть доступен только после того, как будет установлен бит RQM в главном регистре состояния MSR, или когда производится прямой доступ к памяти при выдаче запроса DRQ.

Сигнал выбора контроллера 8272A "72CS/" генерируется путем обращения к порту с адресом 3F4-3F5H. Адреса регистров контроллера гибкого диска и назначение битов приведены в табл.41.

В функции системного интерфейса входит обеспечение обмена данными и командами управления между микро-ЭВМ и контроллером НГМД. Обмен данными производится в двух режимах:

-работа под управлением микропроцессора;

-работа под управлением контроллера ПДП - режим прямого доступа к памяти (DMA-режим).

В первом режиме возможны операции обмена между микропро-

цессором и всеми программно доступными ресурсами контроллера: контроллером дисков и регистрами управления.

Во втором режиме происходит обмен данными между контроллером НГМД и ОЗУ микро-ЭВМ под управлением контроллера прямого доступа к памяти (DMA-режим). При этом инициатива начала обмена принадлежит контроллеру дисков 8272A, который устанавливает на линии DRQ2 активный высокий уровень, в ответ на который контроллер ПДП начинает цикл обмена данными.

Цикл обмена начинается с приема сигнала "DACK2"/ и команды управления "IOR/" или "IOW/".

4.14.3. Структурная схема контроллера НГМД приведена в приложении 1. В состав данного контроллера входят следующие функциональные узлы:

-буфер данных контроллера НГМД (У1);

-селектор выбора устройств (У2);

-логика выработки сигналов "DACK" и "TC" (У3);

-схема формирования данных чтения гибкого диска и окна данных DWIND (узел ФАПЧ - У4);

-входной регистр НГМД (узел порта DIR У5 - Digital Input Register - регистр цифрового ввода; адрес порта 3F7H);

-регистр конфигурации НГМД (узел порта DSR У6 - Data Rate Select Register - регистр выбора скорости обмена данными; адрес порта 3F7H);

-регистр управления НГМД (узел порта DOR У7 - Digital Output Register; адрес порта 3F2H);

-контроллер гибких дисков 8272A (У8);

-схема формирования сигналов тактировки "FDCLK" контролле-

ра гибкого диска, строба записи "WCK", и сигнала "SHIFT" (У9);

-узел формирования запросов прерывания (IRQ6) и прямого доступа к памяти (DRQ2 - У10);

-выходной буфер НГМД (У11);

-входной буфер НГМД (У12);

-узел формирования данных записи НГМД (У13).

Физически схема электрическая принципиальная контроллера НГМД реализована на двух БИС: КР1810ВГ72А (или Intel 8272A) и КА1845ВЖ1. Все узлы контроллера, за исключением У8, входят в состав БИС КА1845ВЖ1.

4.14.4. Описание структурной схемы контроллера НГМД

8-разрядный буфер данных (У1) предназначен для обеспечения двунаправленного обмена данными между системной шиной микро-ЭВМ и локальной шиной контроллера НГМД.

Селектор выбора устройств (У2) предназначен для выработки сигналов выбора буфера данных, регистров контроллера 8272A, а также портов DOR, DIR и DSR контроллера НГМД.

Узел логики выработки сигналов "DACK" и "T/C" (У3) предназначен для выработки сигналов "FDACK/" и "FDTC" для БИС 8272A из сигналов системной шины "DACK2/" и "T/C" при наличии сигнала разрешения "IRDMAEN" с выхода узла У7.

Узел ФАПЧ (У4) предназначен для формирования сигнала последовательных данных чтения "FDDTA", "привязанного" к фронтам сигнала данных чтения с НГМД "RDDTA/" с точностью до периода OSC24, а также сигнала окна данных "DWIND"; центр окна данных

автоматически подстраивается по фазе с фронтом сигнала "FDDTA", а период следования сигнала "DWIND" отслеживает все изменения периода сигнала данных "RDDTA/" с НГМД с точностью до фазы сигнала "FDCLK".

Входной регистр НГМД (узел порта DIR У5) предназначен для контроля сигнала смены дискеты"DSKCNG" путем чтения его значения процессором из порта 3F7H.

Регистр конфигурации НГМД (узел порта DSR У6) предназначен для выбора скорости обмена информацией между диском и контроллером 8272A (путем изменения частоты сигнала "FDCLK)".

Регистр управления НГМД (узел порта DOR У7) служит для выработки сигналов управления НГМД ("DRSEL0", "DRSEL1" и "MOT0", "MOT1") и сигналов программного управления контроллером 8272A: "FDCRES" (сброс контроллера) и -"IRDMAEN" (разрешение запросов прерывания и прямого доступа к памяти).

Схема формирования сигнала тактировки "FDCLK" контроллера гибкого диска, строка записи WCK и сигнала "SHIFT" (У9) служит для выработки сигнала тактовой частоты "FDCLC", частота которого программируется путем записи кода в биты 0 и 1 порта DSR и может принимать значения 4МГц, 4,8МГц и 8МГц.

Сигналы - 8МГц; 4,8МГц и 4МГц - предназначены для выбора одной из 3-х скоростей потока данных между гибким диском и контроллером 8272A: 500Кбит/с, 300Кбит/с, 250Кбит/с соответственно.

Сигнал "FDCLK" используется для тактировки контроллера 8272A, узла ФАПЧ (У4) и схемы формирования данных записи НГМД (У13). Временная диаграмма работы схемы формирования сигнала "FDCLK" представлена в приложении 1.

Кроме того, узел У9 формирует сигнал "SHIFT" и строб записи WCK по фронтам сигнала "FDCLK". Временная диаграмма сигналов "SHIFT" и "WCK" для случая Ffdclk = 8МГц представлена в приложении 1 для Ffdclk, равной 4,8МГц и 4МГц, она аналогична.

Узел формирования запросов прерывания и прямого доступа к памяти (У10) предназначен для формирования сигналов "IRQ6" (запрос прерывания) и "DRQ2" (запрос прямого доступа) при обмене информацией между контроллером НГМД и микропроцессором.

Входной буфер НГМД (У12) предназначен для буферизации сигналов, передающихся от НГМД к контроллеру НГМД.

Выходной буфер НГМД (У11) служит для буферизации сигналов управления НГМД, вырабатываемых контроллером НГМД.

Схема формирования данных записи НГМД (У13) предназначена для выработки сигнала последовательных данных записи НГМД с предкомпенсацией.

Опорная частота 24Мгц (OSC24) используется при формировании сигналов, тактирующих процесс обмена информацией между контроллером 8272A и гибким диском, и поступает в контроллер от ИМС КР1810ГФ84.

14.14.5. Сигналы системного интерфейса, используемые контроллером НГМД

Контроллер НГМД использует следующие линии системного интерфейса:

A0-A9 - эти адреса используются для выбора регистров контроллера 8272A и остальных портов контроллера НГМД:

"AEN"- разрешение выдачи адреса. Когда эта линия находится в активном (высоком) состоянии, контроллер ПДП осуществляет управление адресной шиной, шиной данных и линиями управления записью и чтением. Когда "AEN" находится в пассивном (низком) состоянии, управление осуществляет микропроцессор.

D0-D7 - 8-разрядная шина данных, по которой производится обмен данными и информацией о состоянии между системной платой ЭВМ и контроллером НГМД.

"IOR/" - сигнал ЧТЕНИЕ ВВОДА-ВЫВОДА: в активном (низком) состоянии дает контроллеру команду вывода его данных на системную шину.

"IOW/" - сигнал ЗАПИСЬ ВВОДА-ВЫВОДА: в активном (низком) состоянии дает контроллеру команду принять данные с системной шины.

"RESET DRV" - в активном (высоком) состоянии этот сигнал переводит контроллер в начальное состояние. При переходе RESET DRV в пассивное (низкое) состояние контроллер инициализируется.

"DRQ2" - запрос прямого доступа: этот сигнал возбуждается контроллером 8272A, когда данные готовы к передаче под управлением контроллера ПДП, и остается активным (высокий уровень сигнала) до перевода в активное (низкое) состояние сигнала подтверждения прямого доступа "DACK2/". Сигнал "DR02" разрешается и запрещается через регистр управления НГМД (порт D0R).

"IRQ6" - запрос прерывания: этот сигнал переводится в ак-

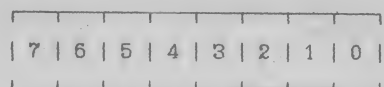
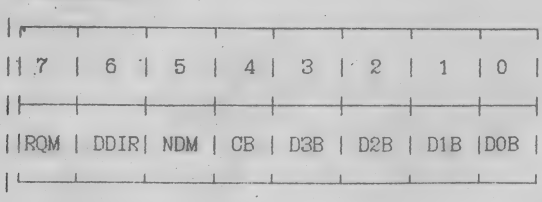
тивное состояние контроллером 8272А после выдачи информации о состоянии. Этот сигнал разрешается и запрещается через регистр управления НГМД (порт DOR).

"DACK2/" - подтверждение прямого доступа к памяти: этот сигнал становится активным в ответ на запрос "DRQ2" контроллера 8272А.

"T/C" (Terminal Count) - окончание счета: по этой линии выдается импульс, когда достигается предел счета по любому из каналов ПДП.

Порты контроллера НГМД. Форматы данных и команд.

Таблица 41

Адрес порта	Вид операции	Функциональное назначение Формат данных
3F2H	WRITE	Digital Output Register (DOR) - выходной цифровой регистр:  биты 0,1: Drive to select - выбор НГМД (0-1) бит 2: FDCRES = 0 - сброс контроллера 8272A бит 3: IRDMAEN = 1 - разрешение запросов прерывания (IRQ6) и прямого доступа (DRQ2) от контроллера НГМД биты 4-5: Drive Motor Enable - разрешение включения двигателя НГМД. биты 6-7: не используются
3F4H	READ	Main Status Register (MSR) - главный регистр состояния : 

Продолжение табл. 41

Адрес порта	Вид операции	Функциональное назначение Формат данных
		биты 0-3: Drive (0-3) Busy - НГМД (0-3) занят Эти биты устанавливаются в "1", когда выбранный накопитель выполняет команды "SEEK" и "RECALIBRATE"
		бит 4: CB(Controller Busy) -контроллер 8272A занят: CB=1, когда идет выполнение команды. Этот бит активен в командной фазе после записи байта команды и пассивен в результирующей фазе.
		бит 5: NDM (Non-DMA Mode) - этот бит устанавливается в "1" при выборе режима Non-DMA при задании команды "SPECIFY", при выборе активного DMA режима бит NDM=0. бит 6: Data Direction - направление передачи данных: 0 - от процессора к контроллеру 1 - от контроллера к процессору бит 7: Request for Master - запрос для ведущего 1 = ОК - успех в приеме/передаче данных 0 - нет доступа к регистру данных
3F5H	R/W	FDC Command/Data Register - регистр команд и данных контроллера гибких дисков. Перечень команд 8272A приводится ниже:

Продолжение табл. 41

Адрес порта	Вид операции	Функциональное назначение Формат данных
		Пересылки данных: READ DATA; READ DELETED DATA; WRITE DATA; WRITE DELETED DATA; READ TRACK; FORMAT TRACK Команды управления: RECALIBRATE; SENSE INTERRUPT STATUS; SPECIFY; SENSE DRIVE STATUS; SEEK; READ ID Примечание. Более подробную информацию о структуре команд см. в п.4.14.7., а также в соответствующем документе фирмы Intel.
3F7H	WRITE	Data rate Select Register (DSR) - регистр выбора скорости обмена данными: 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 0 | 0 | 0 | 0 | 0 | 0 | DRATESEL биты 1-0: Data Rate Select (DRATESEL) - выбор

Продолжение табл. 41

Адрес порта	Вид операции	Функциональное назначение Формат данных
		скорости обмена данными: 1 1 - запрещенная комбинация 0 0 - скорость 500 Кбит/сек 0 1 - скорость 300 Кбит/сек 1 0 - скорость 250 Кбит/сек
3F7H	READ	Digital Input Register (DIR) - регистр цифрового ввода - используется для диагностики:

7	6	5	4	3	2	1	0
DSCNG	x	x	x	x	x	x	x

бит 7: DskChg - смена дискеты

4.14.6. Интерфейс НГМД

Наименование сигналов интерфейса НГМД, их функциональное назначение и контакты соединителя приведены в табл. 42.

Интерфейс НГМД

Таблица 42

Номер конт.	Наимен. сигнала	Вход/ выход	Функциональное назначение
			Интерфейс НГМД:
2	LDENS/	Выход	Low Density - режим НИЗКОЙ плотности ("0"), если "LDENS/"=1 - режим ВЫСОКОЙ плотности
4	-	-	
6	-	-	
8	INDEX/	Вход	Индекс - сигнал, свидетельствующий о наличии дискеты (индексного отверстия): импульс длительностью не менее 1 мс
10	MOT 1/	Выход	"MOTOR 1/" - пуск двигателя НГМД 1
12	DRSEL0/	Выход	"DRive SELect 0" - выбор накопителя НГМД 0
14	DRSEL1/	Выход	"DRive SELect 1" - выбор накопителя НГМД 1
16	MOT 0/	Выход	"MOTOR 0/" - пуск двигателя НГМД 0
18	DIR/	Выход	"DIRECTION/" - направление: когда "DIR/"=0, головка под воздействием сигнала "STEP/" перемещается к шпинделю НГМД, а когда "DIR/=1", головка перемещается от шпинделя.
20	STEP/	Выход	ШАГ - импульс длительностью 1 мкс, обеспечивающий перемещение головки на один трек
22	WDATA/	Выход	WRITE DATA - запись данных: импульс 250 нс обеспечивает запись первого бита, если

Продолжение табл. 42

Номер конт.	Наимен. сигнала	Вход/ выход	Функциональное назначение
			сигнал "WGATE"=0 (активен).
24	WGATE/	Выход	"WRITE GATE/"-разрешение записи: изменение состояния "WGATE/" происходит за 4-8 мкс до первого бита данных и через 4-8 мкс - после последнего бита.
26	TRK 0/	Вход	"TRACK 0"-нулевой трек: активное состояние "TRK/"=0 показывает, что головки записи/чтения находятся над нулевой дорожкой (треком)
28	WPROT/	Вход	"WRITE PROTECT"-защита от записи: активное состояние указывает, что в накопителе находится дискета с защитой от записи.
30	RDDATA/	Вход	"READ DATA"-данные чтения: импульсы 250 нс с промежутком между ними 4, 6 или 8 мкс.
32	SIDESEL	Выход	"SIDE SELECT"-выбор стороны дискеты: активное состояние "SIDESEL/"=0 выбирает верхнюю сторону дискеты (верхняя головка).
34	DSKCHG/	Вход	"DISKETTE CHANGE"-смена дискеты: этот сигнал активен до тех пор, пока не будет установлена дискета и контроллер дисков не выдаст шаговый импульс.

ПРИМЕЧАНИЕ. Все нечетные контакты разъема - цепь КОРПУС (GND).

4.14.7. Структура команд контроллера 8272А

Команды 8272А можно условно разделить на две группы: команды пересылок данных и команды управления, исполнение которых контроллером происходит в 3 фазы:

- Фаза записи команды (запись в регистр командных байтов);
- Фаза выполнения команды;
- фаза чтения результата.

4.14.7.1. Команды пересылок данных

Команды пересылок "READ DATA", "READ DELETED DATA", "WRITE DATA", "WRITE DELETED DATA" и "READ TRACK" описываются следующей структурой, которая приведена в табл. 43.

Таблица 43

ФАЗА	R/W	7	6	5	4	3	2	1	0	
Команда	W	MT	MFM	SK	0	X	X	X	X	Код команды
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	--CYLINDER ADDRESS (C)------								Информация
	W	--HEAD ADDRESS (H)----------								идентификато-
	W	--SECTOR ADDRESS (R)--------								ра сектора.
	W	--SECTOR SIZE CODE (N)-------								
	W	--END OF TRACK (EOT)--------								
	W	--GAP LENGTH (GPL)----------								
	W	--SPECIAL SECTOR SIZE (DTL)--								

Продолжение табл. 43

ФАЗА	R/W	7	6	5	4	3	2	1	0	
Выполнение		DATA TRANSFER								Имеет место
.....		.....								передача
Выполнение		DATA TRANSFER								данных
Результат	R	------ STATUS (ST0)----------								Чтение
	R	------ STATUS (ST1)----------								состояния
	R	-------STATUS (ST2)----------								вместе с
	R	--CYLINDER ADDRESS (C)-------								байтами сос-
	R	--HEAD ADDRESS (H)----------								тояния диска
	R	--SECTOR ADDRESS (R)--------								после завер-
	R	--SECTOR SIZE CODE (N)-------								шения команд

Биты 0-3, обозначенные как "X", содержат кодировку команд:

КОМАНДЫ 8272A	D3	D2	D1	D0
READ DATA	0	1	1	0
READ DELETED DATA	1	1	0	0
WRITE DATA	0	1	0	1
WRITE DELETED DATA	1	0	0	1
READ TRACK	0	0	1	0

Обозначения, применяемые при описании кодировки команд:

DS1,DS0 - Disk Drive Select - биты выбора накопителя

HDS - HeaD Select - выбор головки 0 или 1

HLT - Head Load Time - время после загрузки головки

HUT - Head Unload Time - время после фазы выполнения

MFM - MFM mode selector - выбор режима MFM ("1")

MT - Multi-track select - выбор мультитрековых операций

NCN - New Cylinder Number - новый номер цилиндра

ND - Non-DMA flag - флаг режима НЕ-ПДП ("1")

PCN - Present Cylinder Number - текущий номер цилиндра

SRT - Step RaTe - интервал времени между двумя импульсами шага.

SK - SKip flag - когда SK=1, сектор включается в маркер адреса уничтоженных данных, поэтому пропускается при чтении и записи данных.

STP - при выполнении SCAN-операций этот параметр прибавляется к номеру текущего сектора при определении номера следующего сектора для сканирования: STP=1, если данные текущего сектора сравнены байт с байтом с данными, принятыми от процессора (или ПДП), и если STP=2, тогда читаются и сравниваются чередующиеся секторы.

4.14.7.2. Команды "READ ID" и "FORMAT TRACK"

Структура команд "READ ID" и "FORMAT TRACK" приведена в табл.44.

Таблица 44

ФАЗА	R/W	7	6	5	4	3	2	1	0	
Команда	W	0	MFM	0	0	1	0	1	0	Код команды
READ ID	W	0	0	0	0	0	HDS	DS1	DS0	READ ID
Выполнение					.....					Имеет место
.....					.....					чтение иден-
Выполнение					.....					тификатора
Результат	R	------ STATUS (ST0)----------								Чтение
	R	------ STATUS (ST1)----------								состояния
	R	-------STATUS (ST2)----------								вместе
	R	--CYLINDER ADDRESS (C)-------								байтами сос-
	R	--HEAD ADDRESS (H)----------								тояния диска
	R	--SECTOR ADDRESS (R)--------								после завер-
	R	--SECTOR SIZE CODE (N)-------								шения команд
Команда FORMAT TRACK	W	0	MFM	0	0	1	1	0	1	Код команды
	W	0	0	0	0	0	HDS	DS1	DS0	FORMAT TRACK
	W	-----BYTES/SECTOR (N)--------								Байт/сектор
	W	----SECTOR/CYLINDER (SC)-----								Сектор/цил-др
	W	----GAP LENGTH---(GPL)-------								GAP3
	W	----FILLER BYTE (D)----------								Байты запол-

Продолжение табл. 44

ФАЗА	R/W	7 6 5 4 3 2 1 0	
			нения
Повторение	W	--CYLINDER ADDRESS-(C)------	Входные пара-
для каждо-	W	----HEAD ADDRESS (H)--------	метры секто-
го сектора	W	--SECTOR ADDRESS (R)--------	ра
	W	--SECTOR SIZE CODE (N)-------	
Выполнение		.....	Имеет место
.....		.....	форматирова-
Выполнение		.....	ние диска
Результат	R	------ STATUS (ST0)----------	Чтение
	R	------ STATUS (ST1)----------	состояния
	R	-------STATUS (ST2)----------	вместе
	R	--CYLINDER ADDRESS (C)-------	байтами сос-
	R	--HEAD ADDRESS (H)----------	тояния диска
	R	--SECTOR ADDRESS (R)--------	после завер-
	R	--SECTOR SIZE CODE (N)-------	шения команд

4.14.7.3. Команды SCAN EQUAL, SCAN LOW OR EQUAL и SCAN HIGH OR EQUAL

Команды "SCAN EQUAL", "SCAN LOW OR EQUAL" и "SCAN HIGH OR EQUAL" приведены в табл. 45.

Таблица 45

ФАЗА	R/W	7	6	5	4	3	2	1	0	
Команда	W	MT	MFM	SK	1	0	0	0	1	Код команды
	W	0	0	0	0	0	HDS	DS1	DS0	
	W	--CYLINDER ADDRESS (C)------								Информация
SCAN	W	--HEAD ADDRESS (H)----------								идентификато-
	W	--SECTOR ADDRESS (R)--------								ра сектора.
EQUAL	W	--SECTOR SIZE CODE (N)-------								
	W	--END OF TRACK (EOT)---------								
	W	--GAP LENGTH (GPL)----------								
	W	----------STP---------------								
Выполнение		DATA COMPARED								Имеет место
.....		.....								сравнение
Выполнение		DATA COMPARED								данных
Результат	R	------ STATUS (ST0)----------								Чтение
	R	------ STATUS (ST1)----------								состояния
	R	-------STATUS (ST2)----------								вместе с бай
	R	--CYLINDER ADDRESS (C)-------								тами идентиф-
	R	--HEAD ADDRESS (H)----------								икации после
	R	--SECTOR ADDRESS (R)--------								завершения
	R	--SECTOR SIZE CODE (N)-------								команды

Продолжение табл. 45

ФАЗА	R/W	7	6	5	4	3	2	1	0	
Команда	W	MT	MFM	SK	1	1	0	0	1	Код команды
	W	0	0	0	0	0	HDS	DS1	DS0	
SCAN	W	--CYLINDER ADDRESS (C)------								Информация
LOW OR	W	--HEAD ADDRESS (H)----------								идентифика-
EQUAL	W	--SECTOR ADDRESS (R)--------								тора сектора.
	W	--SECTOR SIZE CODE (N)-------								
	W	--END OF TRACK (EOT)---------								
	W	--GAP LENGTH (GPL)----------								
	W	---------STP-----------------								
Выполнение		DATA COMPARED								Имеет место
.....		.....								сравнение
Выполнение		DATA COMPARED								данных
Результат	R	------ STATUS (ST0)----------								Чтение
	R	------ STATUS (ST1)----------								состояния
	R	-------STATUS (ST2)----------								вместе с бай
	R	--CYLINDER ADDRESS (C)-------								тами иденти-
	R	--HEAD ADDRESS (H)----------								фикации пос-
	R	--SECTOR ADDRESS (R)--------								ле заверше-
	R	--SECTOR SIZE CODE (N)-------								ния команды

Продолжение табл. 45

ФАЗА	R/W	7	6	5	4	3	2	1	0	
Команда	W	MT	MFM	SK	1	1	1	0	1	Код команды
	W	0	0	0	0	0	HDS	DS1	DS0	
SCAN	W	--CYLINDER ADDRESS (C)------								Информация
HIGH OR	W	--HEAD ADDRESS (H)----------								идентификато-
EQUAL	W	--SECTOR ADDRESS (R)--------								ра сектора.
	W	--SECTOR SIZE CODE (N)-------								
	W	--END OF TRACK (EOT)---------								
	W	--GAP LENGTH (GPL)----------								
	W	----------STP---------------								
Выполнение		DATA COMPARED								Имеет место
.....		.....								сравнение
Выполнение		DATA COMPARED								данных
Результат	R	------ STATUS (ST0)----------								Чтение
	R	------ STATUS (ST1)----------								состояния
	R	-------STATUS (ST2)----------								вместе с бай
	R	--CYLINDER ADDRESS (C)-------								тами иденти-
	R	--HEAD ADDRESS (H)----------								фикации пос-
	R	--SECTOR ADDRESS (R)--------								ле заверше-
	R	--SECTOR SIZE CODE (N)-------								ния команды

4.14.7.4. Команды управления 8272A.

Команды управления сведены в табл. 46, в которой приведены только коды самих команд без фаз выполнения и результата.

Таблица 46

Команды 8272	7	6	5	4	3	2	1	0
RECALIBRATE	0	0	0	0	0	1	1	1
	0	0	0	0	0	0	DS1	DS0
Выполнение: возврат головок на нулевой трек								
SENSE INTERRUPT STATUS	0	0	0	0	1	0	0	0
Результат: (R)	------STATUS ST0----------							
Результат: (R)	--PRESENT CYL NUMBER (PCN)----							
SPECIFY	0	0	0	0	0	0	1	1
	<----SRT---->					<----HUT---->		
SENSE DRIVE STATUS	0	0	0	0	0	1	0	0
	MOT	0	0	0	0	HDS	DS1	DS0
Результат: (R)	------STATUS ST3----------							
SEEK	0	0	0	0	1	1	1	1
	0	0	0	0	0	HDS	DS1	DS0
	<-New Cylinder Number (NCN)-->							

Выполнение: позиционирование головок над треком

4.14.7.5. СТРУКТУРА РЕГИСТРОВ СОСТОЯНИЯ ST0-ST3

4.14.7.5.1. Формат и назначение битов регистра ST0:

7	6	5	4	3	2	1	0
IC1	IC0	SE	EC	NR	H	DS1	DS0

Биты 0,1 - Drive Select (DS0,DS1) - номер НГМД, выбираемого во время прерывания;

бит 2 - Head address - адрес головки, выбираемой во время прерывания;

бит 3 - Not Ready Error (NR) - этот флаг устанавливается, если нет готовности НГМД при выполнении команд чтения или записи;

бит 4 - Equipment Check Error (EC) - ошибка контроля оборудования: устанавливается в "1", если принят сигнал ошибки от НГМД или не принят сигнал "TRK0" от диска после 77 попыток;

бит 5 - Seek End (SE) - окончание поиска: этот флаг устанавливается в "1", когда контроллер 8272A завершил команду "SEEK" и головка записи/чтения установлена над требуемой дорожкой;

биты 6,7 - Interrupt Code (IC0,IC1) - код прерывания:

0 0 - нормальное завершение команды (без ошибок) 0 1 - ненормальное завершение команды. Выполнение команды было начато, однако завершено без успеха.

1 0 - неправильная (invalid) команда: требуемая команда не может быть выполнена.

1 1 - ненормальное завершение. В течение выполнения команды было изменено состояние сигнала готовности НГМД.

4.14.7.5.2. Формат и назначение битов регистра ST1:

7	6	5	4	3	2	1	0
EN	-	DE	OR	-	ND	NW	MA

Бит 0 - Missing Address Mark Error (MA) - этот флаг устанавливается, если:

- 8272A не может обнаружить маркер идентификатора адреса при определении дорожки диска;

- 8272A не может обнаружить маркер адреса идентификатора данных или маркер адреса удаленных данных при определении дорожки;

бит 1 - Write Protect Error (NW) - ошибка защиты записи: этот флаг устанавливается, если 8272A обнаруживает сигнал защиты записи "(Write Protect)" во время выполнения команд "WRITE DATA", "WRITE DETECTED DATA" или "FORMAT TRACK";

бит 2 - Sector Not Found Error - ошибка СЕКТОР НЕ НАЙДЕН: этот флаг устанавливается при следующих условиях:

- 8272A не может найти сектор, определяемый в командах "READ DATA", "READ DELETED DATA" или командах "SCAN";

- 8272A не может найти стартовый сектор, определяемый в команде "READ TRACK";

- 8272A не может без ошибки прочесть поле идентификатора при

выполнении команды "READ ID";

бит 3 - не определен;

бит 4 - Overrun Error - этот флаг (в течение пересылок данных) устанавливается в "1", если 8272A не может принять ПДП или обслуживание от процессора без установки определенного временного интервала;

бит 5 - Data Error (DE) - ошибка данных: этот флаг устанавливается в "1", когда контроллер 8272A обнаруживает ошибку CRC в полях идентификатора сектора или данных;

бит 6 - не определен;

бит 7 - End Of Track Error - этот флаг устанавливается в "1", если 8272A пытается осуществить доступ к сектору за пределами последнего сектора или дорожки;

4.14.7.5.3. Формат и назначение битов регистра ST2:

7	6	5	4	3	2	1	0
-	CM	DD	WC	SH	SN	BC	MD

Бит 0 - Missing Data Address Mark Error (MD) - этот флаг устанавливается, если 8272A не может обнаружить маркер идентификатора адреса данных или маркера адреса удаленных данных при определении дорожки диска;

бит 1 - Bad Track Error (BC) - этот флаг устанавливается, когда адрес цилиндра поля ID сектора равен FFh и этот адрес цилиндра отличен от адреса, установленного контроллером.

Этот FFh-адрес индицирует негодный трек в соответствии с требованиями спецификации формата IBM;

бит 2 - Scan Not Satisfied (SN) - этот флаг устанавливается во время выполнения команды "SCAN", если 8272A не может найти сектор на определенном цилиндре, который мог бы удовлетворить условия "SCAN";

- 8272A не может найти стартовый сектор, определяемый в команде "READ TRACK";

бит 3 - Scan Hit (SH) - успех сканирования - этот флаг устанавливается во время выполнения команды "SCAN" при удовлетворении условий сканирования;

бит 4 - Cylinder Address Error (WC) - ошибка адреса цилиндра: этот флаг устанавливается в "1", когда контроллер 8272A обнаруживает ошибку в поле идентификатора сектора;

бит 5 - Data Error (DD) - ошибка данных: этот флаг устанавливается в "1", когда контроллер 8272A обнаруживает ошибку CRC в поле сектора данных; этот флаг не устанавливается в "1", если обнаружена CRC-ошибка в поле идентификатора сектора;

бит 6 - Control Mark (CM) - маркер управления: этот флаг устанавливается в "1", когда контроллер 8272A встречается:

- с маркером адреса удаленных данных во время выполнения команд "READ DATA" или командах "SCAN";

- с маркером адреса данных во время выполнения команды "READ DELETED DATA";

бит 7 - не определен.

4.14.7.5.4. Формат и назначение битов регистра ST3:

7	6	5	4	3	2	1	0
FT	WP	RDY	T0	TS	H	DS1	DS0

Биты 0,1 - Drive Select (DS0,DS1) - индицирует номер выбранного НГМД;

бит 2 - Head address - этот флаг индицирует состояние сигнала адреса головки, который определяет выбор стороны диска;

бит 3 - Two-Sided (TS) - двухсторонний: этот флаг индицирует состояние сигнала "TWO SIDED" от выбранного НГМД;

бит 4 - Track 0 - нулевая дорожка - этот флаг индицирует состояние сигнала "TRK0" от выбранного НГМД;

бит 5 - READY (RDY) - готовность: этот флаг индицирует состояние сигнала "RDY" выбранного НГМД;

бит 6 - WRITE PROTECTED (WP) - защита от записи: этот флаг индицирует состояние сигнала "WP" от выбранного НГМД;

бит 7 - FAULT (FT) - отказ: этот флаг индицирует состояние сигнала "FAULT" от выбранного НГМД.

5. УКАЗАНИЕ МЕР БЕЗОПАСНОСТИ

В Н И М А Н И Е !

5.1. Вставлять и вынимать БЭ, производить его подключение к разъемам только при выключенном питании.

5.1. Монтажно-ремонтные работы и пайку запрещается проводить на БЭ, установленном в системный блок.

Для выполнения указанных работ необходимо выключить электропитание ЭВМ, отсоединить соединители Х5, Х6, отстыковать адаптеры (если они установлены), извлечь БЭ из блока системного.

5.2. Производить пайку паяльником, рассчитанным на напряжение не более 36 В. Корпус паяльника должен быть заземлен.

6. ПОРЯДОК УСТАНОВКИ МОДУЛЯ

6.1. Перед установкой модуля системного в каркас блока системного убедитесь, что электропитание ЭВМ выключено.

6.2. Внимание!!! При всех видах работ по техническому обслуживанию и ремонту изделий и их составных частей необходимо соблюдать требования и меры по защите микросхем и полупроводниковых приборов от разрушающего воздействия статического электричества:

1) исполнитель работы должен быть заземлен с помощью металлического браслета или кольца, подключенного через резистор 1 МОм+-10 % к элементу заземления корпуса изделия, соединенного с контуром заземления;

2) запрещается проводить замену БЭ и его ремонт при включенном питающем напряжении;

6.3. Установите БЭ в корпус блока системного, направив его с помощью штоков по шасси до упора. Затем закрепите БЭ винтами.

6.4. Соедините БЭ соответствующими кабелями со всеми необходимыми устройствами согласно схеме общей, приведенной в 466215.003 ТО для каждого конкретного варианта исполнения.

Приложение 1

ПЕРЕЧЕНЬ ЭЛЕМЕНТОВ

Поз.обозн.	Наименование	Кол	Примечание
	Конденсаторы К10-17 К53-14 К50-35		
С1	К10-17-1б-М47-16 пФ +-10 % -А-В	1	
С2	К10-17-1б-М47-39 пФ +-10 % -А-В	1	
С3	К53-14-16В- 10 мкФ +-20 %	1	
С4, С5	К10-17-1б-Н90-0.15 мкф-А-В	2	
С6	К10-17-1б-М47-10 пФ + -А-В	1	
С7...С9	К10-17-1б-М47-33 пФ +-10 %-А-В	3	
С10	К10-17-1б-М47-22 пФ +-10 %-А-В	1	
С36	К10-17-1б-М47-39 пф+-10 %-А-В	1	
С37	К50-35-16В-47 мкФ +-20 %	1	
С38, С39	К10-17-1б-Н90-0.15 мкф-А-В	2	
С40	К50-35-16В-47 мкФ +-20 %	1	
С41	К10-17-1б-Н90-0.15 мкф-А-В	1	
С42...С47	К50-35-16В-47 мкФ +-20 %	6	
С48...С131	К10-17-1б-Н90-0.15 мкф-А-В	84	
	Микросхемы		
D1	КР1533ЛА1	1	
D2	КР1533ЛИ1	1	
D3...D5	КР1533ТМ2	3	
D6	КР1533ЛЛ1	1	
D7	КР1533ТМ2	1	
D8	КР1533ЛН1	1	
D9	КР1533ЛИ1	1	
D10	КР1533ТМ9	1	
D11	КР1533ИЕ10	1	
D12	КР1810ГФ84	1	
D13	ИПВВ.431212.021	1	КР556РТ4А
D14	КР1533ЛА3	1	
D15	КР1533ЛЕ1	1	
D16	КР1533ЛН1	1	
D17	КР1533ЛЛ1	1	
D18	КР1533ТМ2	1	
D19	КР1533ТМ8	1	
D20	КР1810ВМ86В	1	
D22	КР531ЛН1	1	
D23	КР1533АП5	1	
D24	КР1533АП6	1	
D25...D27	КР1533ИР22	3	
D28	КР1810ВГ88	1	
D29	КР1533ЛП8	1	
D30	КР1533ИР22	1	
D31	ИПВВ.431212.316	1	КР556РТ4А
D32	КР1533ЛИ1	1	
D33	К155ЛА13	1	

Поз. обозн.	Наименование	Кол	Примечание
	Микросхемы		
D34, D35	КР1533ТМ2	2	
D36	КР1533ИР24	1	
D37	КР1533АП6	1	
D38	КР1533ЛА3	1	
D39	КР155ИЕ4	1	
D40	КР1810ВН59А	1	
D41	КР1533ЛЛ1	1	
D42	КР580ВВ55А	1	
D43	КР1533ЛН1	1	
D44	КР1533АП6	1	
D45	КР155ИД3	1	
D46	КР1533АП6	1	
D47	КР1810ВТ37В	1	
D48	КР1533ИР26	1	
D49	КР580ВИ53	1	
D50	КР1533АП5	1	
D51	КР1533ИР22	1	
D52	КР1533АП5	1	
D53	КР512ВИ1	1	
D54	ИПВВ.431212.317	1	КР556РТ4А
D55	КР1533ЛЕ1	1	
D56	КР1533ЛИ1	1	
D57	КР1533ЛЛ1	1	
D58...D60	КР1533АП6	3	
D61	КР1533ТМ9	1	
D62	ИПВВ.431212.319	1	27256 Малайзия
D63	ИПВВ.431212.320	1	27256 Малайзия
D64, D65	КР1533КП14А	2	
D66	КР1533КП12	1	
D67	КР1533АП3	1	
D68	КР1533ЛИ1	1	
D69	КР1533ИД7	1	
D70	КР1533ЛЛ1	1	
D71	КР1533АП5	1	
D72, D73	КР1533АП6	2	
D80	КР1533ЛН1	1	
D81	КР1533АП6	1	
D82	К555ЛА2	1	
D83	КР1533ИЕ2	1	
D84	К170УП2	1	
D85	КА1845ВЖ1	1	
D86	8250	1	Филлипины
D87, D88	К170АП2	2	
D89	8272	1	Тайвань
D90, D91	КР565РУ7В	2	Доп. замена на КР565 РУ7А
D92, D93	КР565РУ5В	2	
D94 D95	КР565РУ7В	2	Доп. замена на КР565 РУ7А

Поз. обозн.	Наименование	Кол	Примечание
	Микросхемы		
D96, D97	КР565РУ5В	2	
D98, D99	КР565РУ7В	2	Доп. замена
D100, D101	КР565РУ5В	2	на КР565 РУ7А
D102, D103	КР565РУ7В	2	Доп. замена
D104, D105	КР565РУ5В	2	на КР565 РУ7А
D106, D107	КР565РУ7В	2	Доп. замена
D108, D109	КР565РУ5В	2	на КР565 РУ7А
D110, D111	КР565РУ7В	2	Доп. замена
D112, D113	КР565РУ5В	2	на КР565 РУ7А
D114, D115	КР565РУ7В	2	Доп. замена
D116, D117	КР565РУ5В	2	на КР565 РУ7А
D118, D119	КР565РУ7В	2	Доп. замена
D120, D121	КР565РУ5В	2	на КР565 РУ7А
	Набор резисторов		
DR1, DR2	НР1-4-9-680 Ом+-5 %	2	
DR3	НР1-4-9-4.7 кОм+-5 %	1	
DR4...DR6	НР1-4-9-2.2 кОм+-5 %	3	
DR7, DR8	НР1-1-1-8-33 Ом+-5 %	2	
DR11	НР1-4-9-3,3 кОм+-5 %	1	
DR12	НР1-4-9-680 Ом+-5 %	1	
G	"Сборка из трех последовательно соединенных аккумуляторов Д-0,06"	1	
	Дроссели		
L1...L8	ИПВБ.671342.023	8	
	Резисторы		
R1	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	1	
R2	С2-33Н-0.125-750 Ом+-10 % -А-Д-В-А	1	
R3	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	1	
R4	С2-33Н-0.125-750 Ом+-10 % -А-Д-В-А	1	
R5...R8	С2-33Н-0.125-4.7 кОм+-10 % -А-Д-В-А	4	
R9	С2-33Н-0.125-390 Ом+-10 % -А-Д-В-А	1	
R10...R12	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	3	
R13	С2-33Н-0.125-390 Ом+-10 % -А-Д-В-А	1	
R14	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	1	
R15	С2-33Н-0.125-100 Ом+-10 % -А-Д-В-А	1	
R16	С2-33Н-0.125-33 Ом+-10 % -А-Д-В-А	1	
R17	С2-33Н-0.125-10 кОм+-10 % -А-Д-В-А	1	
R18	С2-33Н-0.125-51 кОм+-10 % -А-Д-В-А	1	
R19	С2-33Н-0.125-10 кОм+-10 % -А-Д-В-А	1	
R20	С2-33Н-0.125-470 Ом+-10 % -А-Д-В-А	1	
R21	С2-33Н-0.125-100 кОм+-10 % -А-Д-В-А	1	
R22	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	1	
R23	С2-33Н-0.125-4.7 кОм+-10 % -А-Д-В-А	1	
R24	С2-33Н-0.125-22 мОм +-10 % -А-Д-В-А	1	

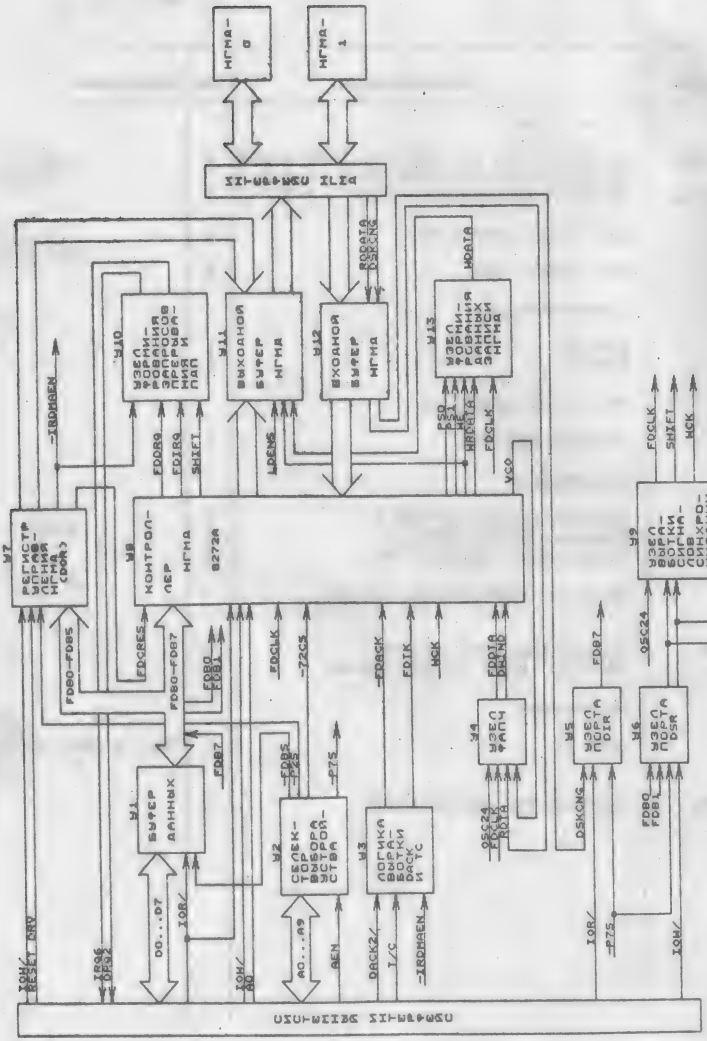
Поз.обозн.	Наименование	Кол	Примечание
	Резисторы		
R25	С2-33Н-0.125-470 кОм+-10 % -А-Д-В-А	1	
R26	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	1	
R27	С2-33Н-0.125-300 Ом+-10 % -А-Д-В-А	1	
R28	С2-33Н-0.125-2.2 кОм+-10 % -А-Д-В-А	1	
R29, R30	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	2	
R31...R34	С2-33Н-0.125-680 Ом+-10 % -А-Д-В-А	4	
R35	С2-33Н-0.125-10 кОм+-10 % -А-Д-В-А	1	
R36	С2-33Н-0.125-1 кОм+-10 % -А-Д-В-А	1	
R50	С2-33Н-0.125-390 Ом+-10 % -А-Д-В-А	1	
R51	С2-33Н-0.125-3 кОм+-10 % -А-Д-В-А	1	
R52	С2-33Н-0.125-390 Ом+-10 % -А-Д-В-А	1	
R53	С2-33Н-0.125-10 кОм+-10 % -А-Д-В-А	1	
R54	С2-33Н-0.125-390 Ом+-10 % -А-Д-В-А	1	
R55	С2-33Н-0.125-33 Ом+-10 % -А-Д-В-А	1	
R56, R57	С2-33Н-0.125-4,7 кОм+-10 % -А-Д-В-А	2	
R58	С2-33Н-0.125-3,3 кОм+-10 % -А-Д-В-А	1	
R59	С2-33Н-0.125-330 Ом+-10 % -А-Д-В-А	1	
R60	С2-33Н-0.125-270 Ом+-10 % -А-Д-В-А	1	
R61	С2-33Н-0.125-4,7 кОм+-10 % -А-Д-В-А	1	
R62	С2-33Н-0.125-2.2 кОм+-10 % -А-Д-В-А	1	
S1	РС40 - 7Д	1	
S2	ОНп-ВС-39-3/8х6,2-В52	1	
S3, S4	Розетка РС-28-7	2	
	Резонатор кварцевый		
U1	РК169МВ-6АП-24М	1	
U2	РК169МВ-6АП-14.318М	1	
U3	РК110-32.768К	1	
U5	РК169МВ-6АП-18.432М	1	
	Диод		
VD1, VD2	КД522А	2	
	Транзисторы		
VT1	КТ361А	1	
VT2, VT3	КТ315Г	2	
	Соединители		
X1	Вилка ОНп-ВС-39-3/8х6,2-В52	1	
X2	Вилка ОНп-ВС-39-2/5,5х6.2-В52	1	
X3	Соединитель ОНП-НС-2-62	1	
X7	Вилка ИПВВ.434624.001	1	
X8, X9	Вилка ОНп-ВС-39-2/5,5х6,2-В52	2	

Поз.обозн.	Наименование	Кол	Примечание
X10	Соединитель ГЧ3.645.028	1	
X11	ОНп-КГ-81-40/55,4х7,5-В52-МЭК	1	
X12	Вилка ОНп-ВС-39-10/25,6.2-В52	1	
X15	Вилка СНП101-9ВП32-1	1	
X16	Вилка ОНП-КГ-81-34/62,5х9-В52-МЭК-1	1	
X17	Вилка ОНп-ВС-39-2/5,5х6.2-В52	1	
	Переменные данные для исполнений		
	В977/01 ИПВБ.469535.108		
	Конденсаторы		
C11	К10-17-1б-М47-33 пФ +-10 %-А-В	1	
C12...C20	К10-17-1б-М1500-2200 пФ +-10 % -А-В	9	
C21	К10-17-1б-М47-33 пФ +-10 %-А-В	1	
C22...C29	К10-17-1б-М47-47 пФ +-10 %-А-В	8	
C30...C35	К10-17-1б-М47-22 пФ +-10 %-А-В	6	
	Микросхемы		
D74	КР1533АП6	1	
D75	ГК35-П-13АМ-50М	1	
D76	CITYGATE TD10 9119EK	1	Япония
D77	4256	1	Малайзия
D78	КР1533АП5	1	
D79	4256	1	Малайзия
	Набор резисторов		
DR9	НР1-1-1-8-33 кОм+-5 %	2	
DR10	НР1-4-9-4.7 кОм+-5 %	1	
	Дроссели		
L9...L16	ИПВБ.671342.023	8	
	Резисторы		
R37...R40	С2-33Н-0.125-4,7 кОм+-10 % -А-Д-В-А	4	
R41	С2-33Н-0.125-470 кОм+-10 % -А-Д-В-А	1	
R42...R49	С2-33Н-0.125-33 Ом+-10 % -А-Д-В-А	8	
S5	ОНп-ВС-39-3/8х6,2-В52	1	
S6	ИПВБ.685521.016	1	
	Переключатель		
SW1	ВДМ1-2	1	
SW2	ВДМ1-8	1	

Поз. обозн.	Наименование	Кол	Примечание
	Резонатор кварцевый		
U4	РК169МВ-6АП-16М	1	
	Соединители		
X13	Розетка СНП101-25РП32-1	1	
X14	Розетка СНП101-9РП32-1	1	
	В977/02 ИПВБ.469535.108-01		
	Конденсаторы		
C11	К10-17-1б-М47-33 пФ +-10 %-А-В	1	
C12...C20	К10-17-1б-М1500-2200 пФ +-10 % -А-В	9	
C21	К10-17-1б-М47-33 пФ +-10 %-А-В	1	
C22...C29	К10-17-1б-М47-47 пФ +-10 %-А-В	8	
C30...C35	К10-17-1б-М47-22 пФ +-10 %-А-В	6	
	Микросхемы		
D74	КР1533АП6	1	
D75	ГК35-П-13АМ-50М	1	
D76	CITYGATE TD10 9119EK	1	Япония
D77	4256	1	Малайзия
D78	КР1533АП5	1	
D79	4256	1	Малайзия
	Набор резисторов		
DR9	НР1-1-1-8-33 кОм+-5 %	1	
DR10	НР1-4-9-4.7 кОм+ 5 %	1	
	Дроссели		
L9...L16	ИПВБ.671342.023	8	
	Резисторы		
R37...R40	С2-33Н-0.125-4,7 кОм+-10 % -А-Д-В-А	4	
R41	С2-33Н-0.125-470 кОм+-10 % -А-Д-В-А	1	
R42...R49	С2-33Н-0.125-33 Ом+-10 % -А-Д-В-А	8	
S5	ОНп-ВС-39-3/8х6,2-В52	1	
S6	ИПВБ.685521.016	1	

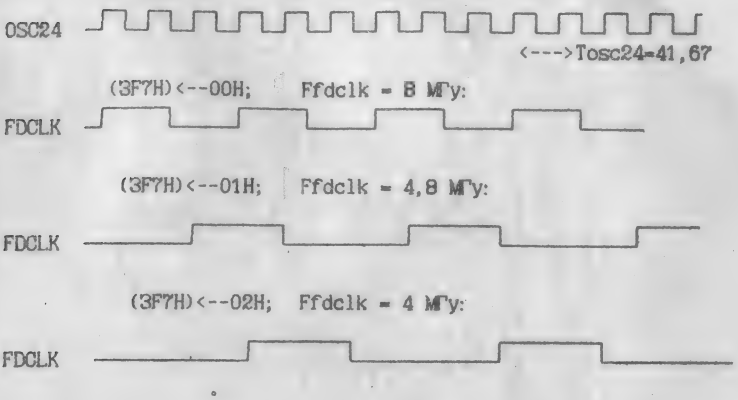
Поз. обозн.	Наименование	Кол	Примечание
	Переключатель		
SW1	ВДМ1-2	1	
SW2	ВДМ1-8	1	
	Резонатор кварцевый		
U4	РК169МВ-6АП-16М	1	
	Соединители		
X4...X6	Соединитель ОНП-НС-2-62	3	
X13	Розетка СНП101-25РП32-1	1	
X14	Розетка СНП101-9РП32-1	1	
	В977/03 ИПВВ.469535.108-02		
	Конденсаторы		
C11	К10-17-1б-М47-33 пФ +-10 %-А-В	1	
C12...C20	К10-17-1б-М1500-2200 пФ +-10 %-А-В	9	
C21	К10-17-1б-М47-33 пФ +-10 %-А-В	1	
C22...C29	К10-17-1б-М47-47 пФ +-10 %-А-В	8	
C30...C35	К10-17-1б-М47-22 пФ +-10 %-А-В	6	
	Микросхемы		
D21	8087-2	1	
D74	КР1533АП6	1	
	Микросхемы		
D75	ГК335-П-13АМ-50М	1	
D76	CITYGATE TD10 9119EK	1	Япония
D77	4256	1	Малайзия
D78	КР1533АП5	1	
D79	4256	1	Малайзия
	Набор резисторов		
DR9	НР1-1-1-8-33 кОм+-5 %	1	
	Набор резисторов		
DR10	НР1-4-9-4.7 кОм+-5 %	1	
	Дроссели		
L9...L16	ИПВВ.671342.023	8	

Поз. обозн.	Наименование	Кол	Примечание
	Резисторы		
R37...R40	С2-33Н-0.125-4,7 кОм+-10 % -А-Д-В-А	4	
R41	С2-33Н-0.125-470 кОм+-10 % -А-Д-В-А	1	
R42...R49	С2-33Н-0.125-33 Ом+-10 % -А-Д-В-А	8	
S5	ОНп-ВС-39-3/8х6,2-В52	1	
S6	ИПВВ.685521.016	1	
	Переключатель		
SW1	ВДМ1-2	1	
SW2	ВДМ1-8	1	
	Резонатор кварцевый		
U4	РК169МВ-6АП-16М	1	
	Соединители		
X13	Розетка СНП101-25РП32-1	1	
X14	Розетка СНП101-9РП32-1	1	
X4...X6	Соединитель ОНП-НС-2-62	3	
	В977/04 ИПВВ.469535.108-03		
X4...X6	Соединитель ОНП-НС-2-62	3	
	В977/05 ИПВВ.469535.108-04		
	Микросхема		
D21	8087-2	1	Уст. в конт.уст
X4...X6	Соединитель ОНП-НС-2-62	3	

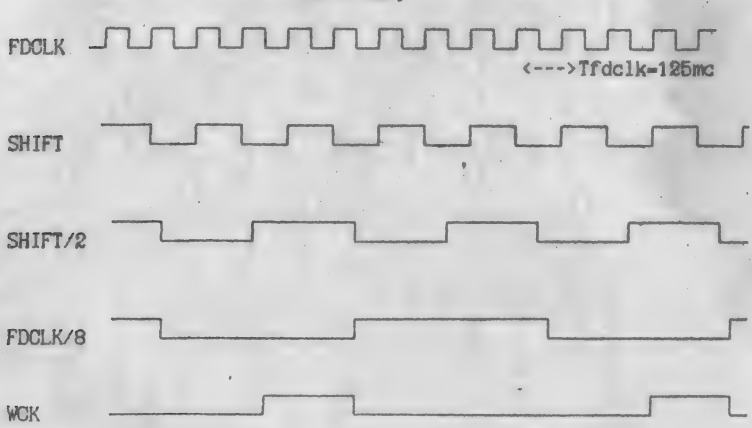


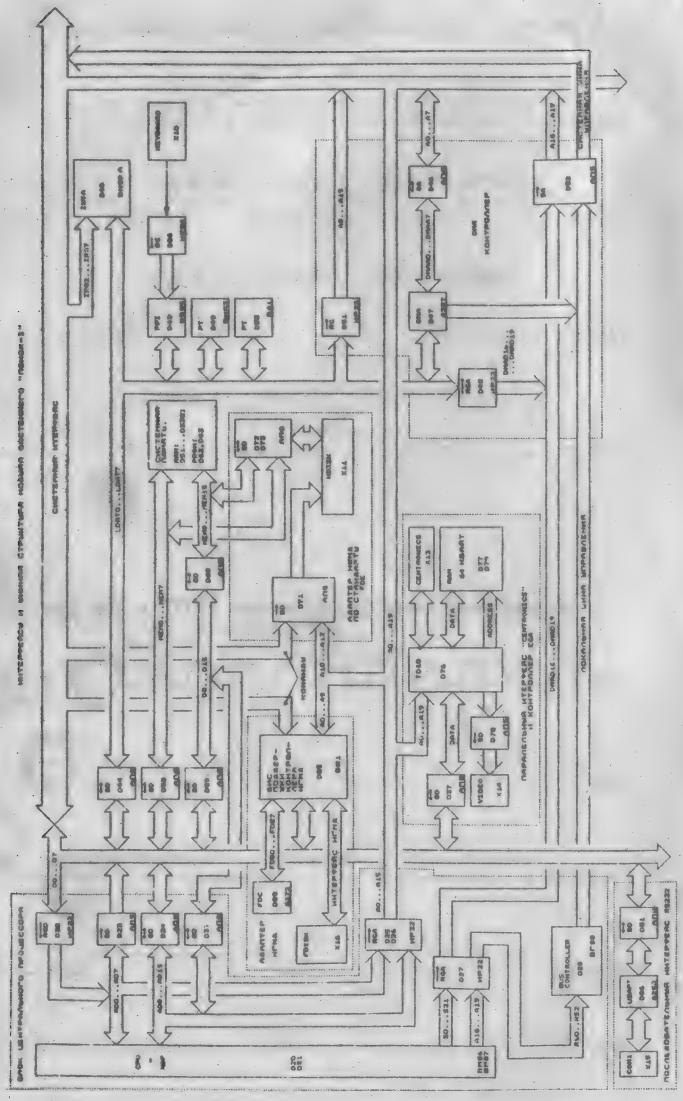
СТРУКТУРНАЯ СХЕМА АДАПТЕРА МГМА.

Временная диаграмма работы схемы формирования сигнала FDCLK

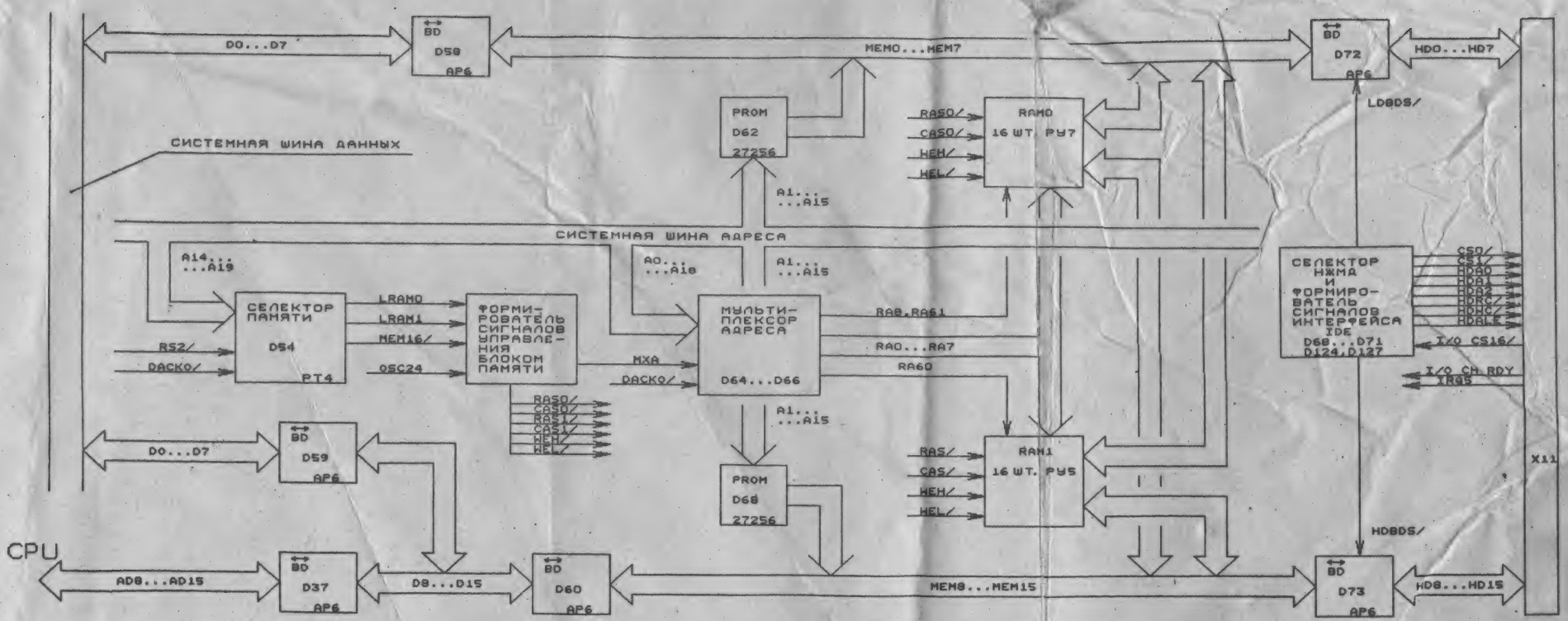


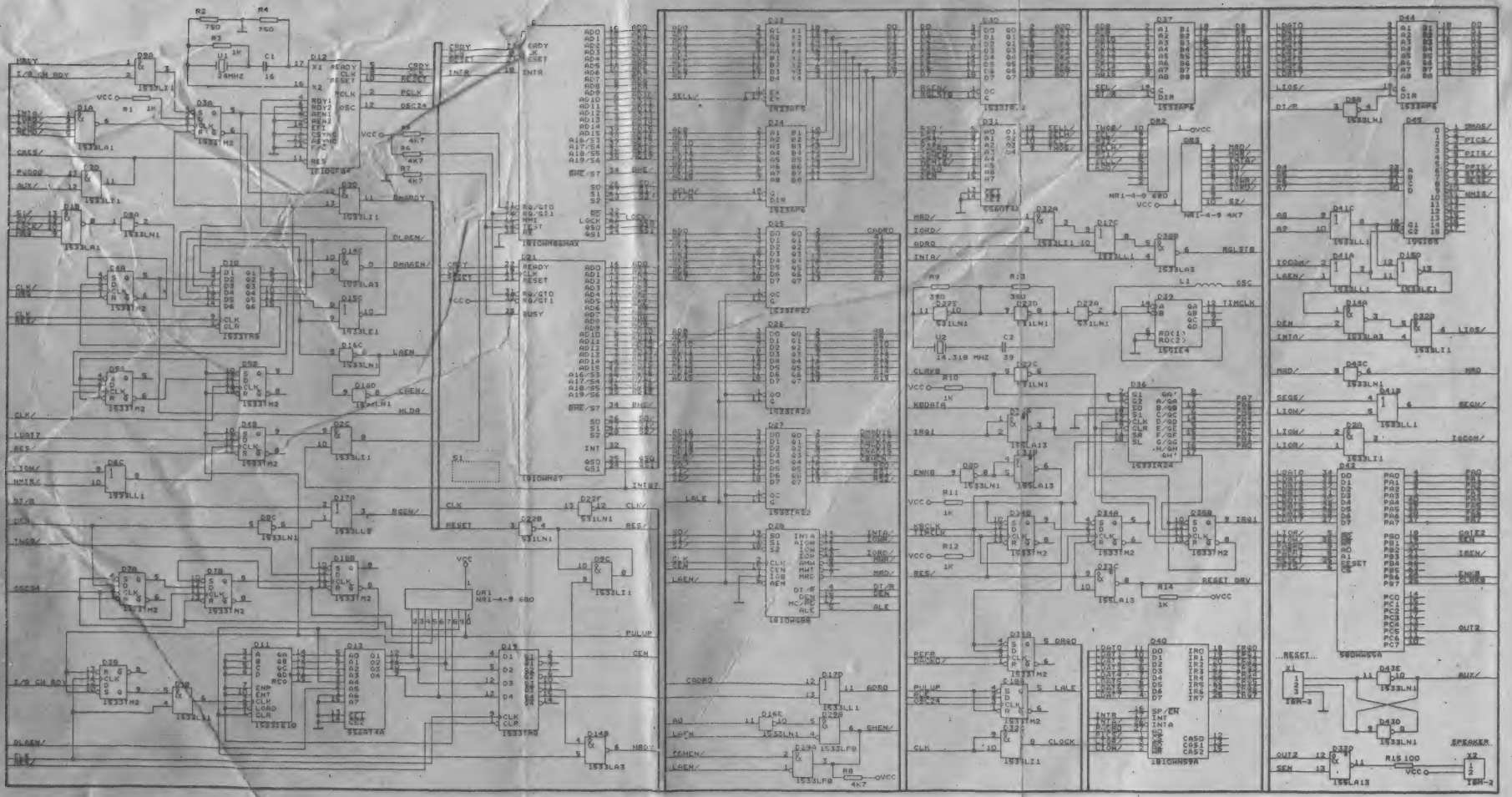
Временная диаграмма формирователя SHIFT и WCK для случая: Fdclk=8МГу.



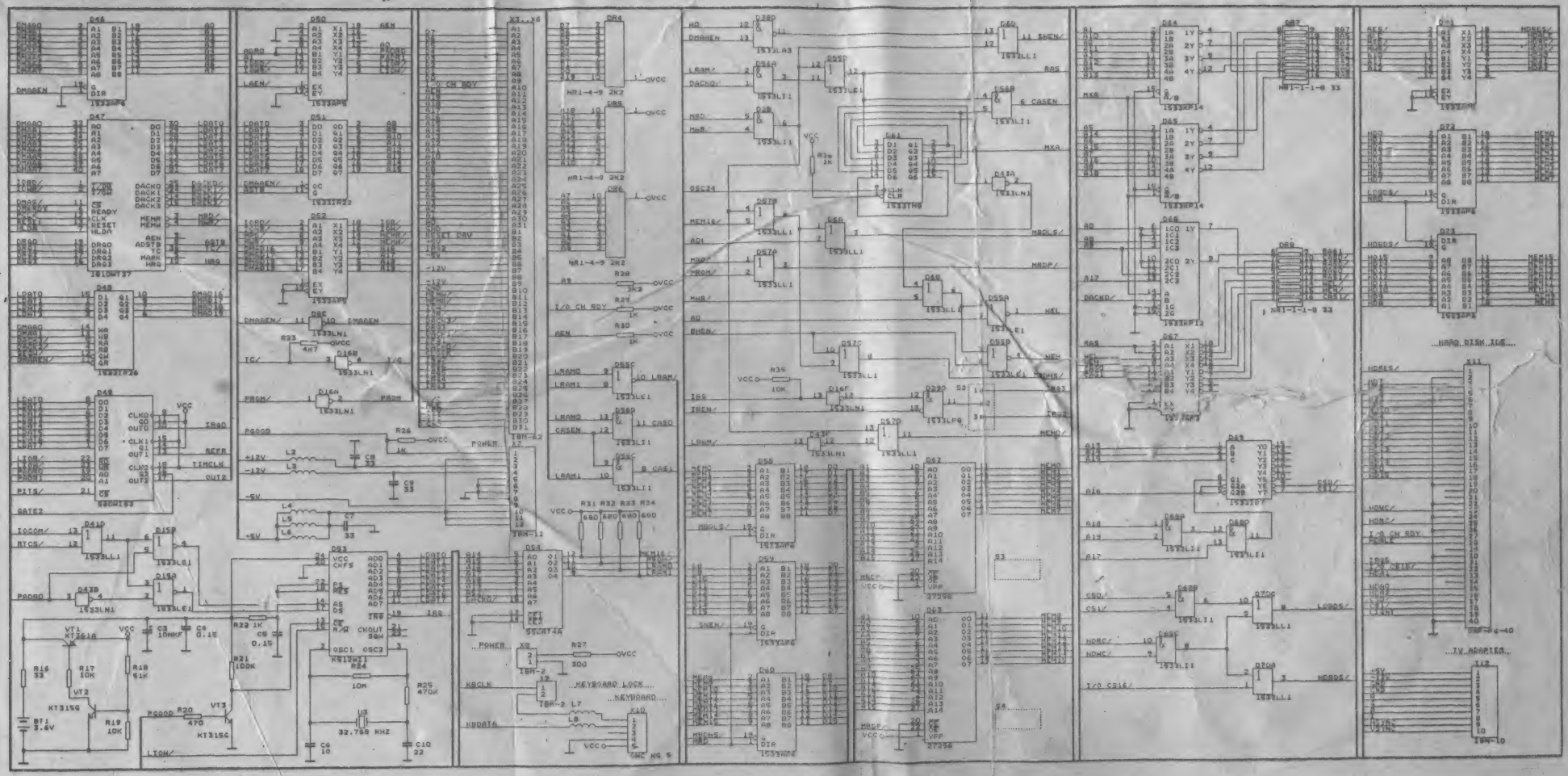


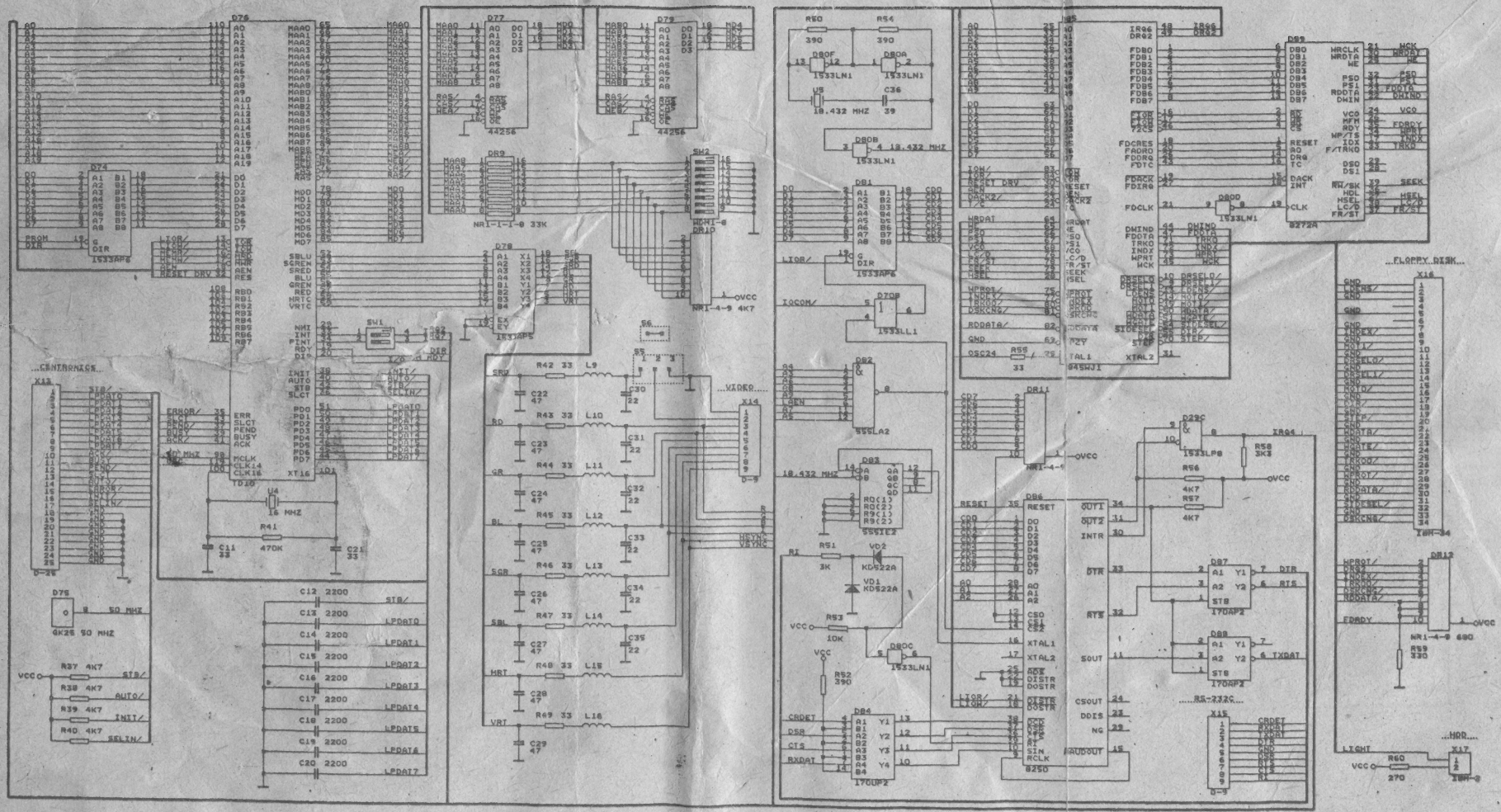
СТРУКТУРНАЯ СХЕМА БЛОКА ПАМЯТИ И ИНТЕРФЕЙСА ЖМД



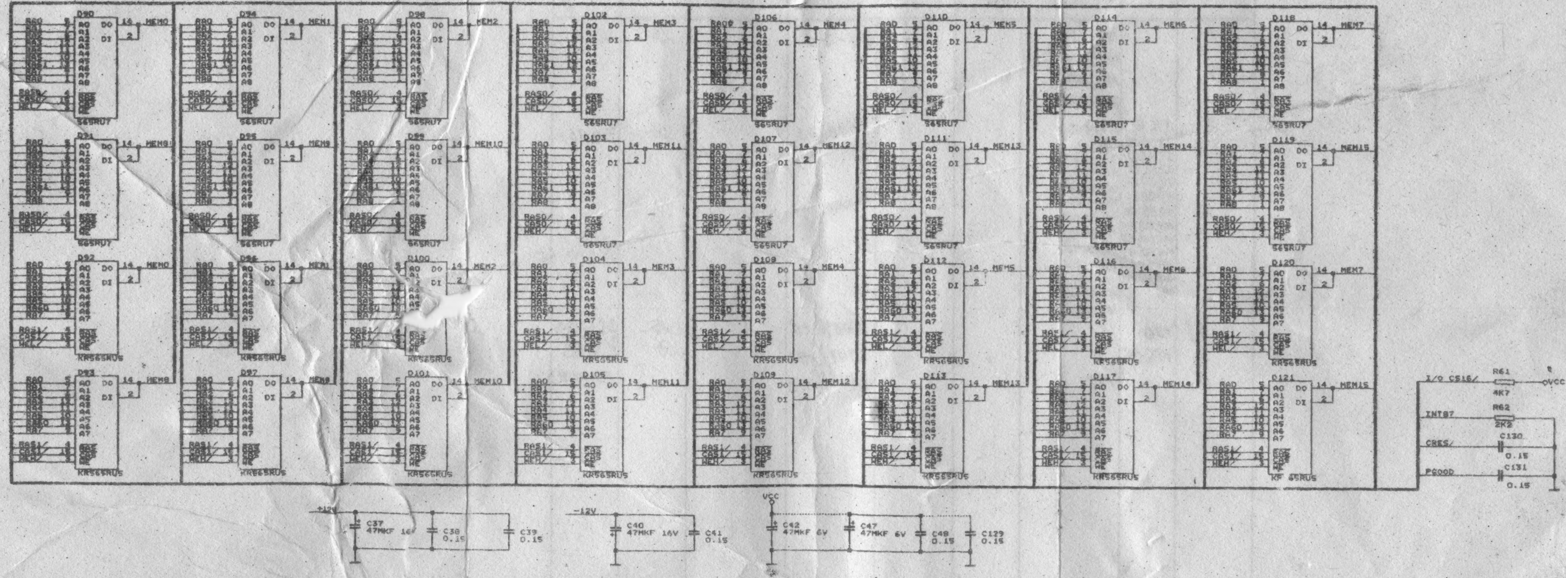


МОДУЛЬ СИСТЕМНЫЙ





469535.108 ТО



1. ЦЕПИ +5 В, +12 В, -12 В, GND ПОДКЛЮЧИТЬ К ВЫВОДАМ МИКРОСХЕМ СОГЛАСНО ТАБЛИЦЕ:

ТИП МИКРОСХЕМЫ		1810GF84	1810VA86A 1810WM87	155IE4 555IE2	1810WN59A 27256	155ID4 580WI53	580WA55A	1810WT37	1533IR26 1533IE10 1533TM9 1533TM8 1533KP12 1533KP14A 1533ID7 556RT4A	1533TM2 1533LA1 1533LI1 1533LL1 1533LN1 1533LA3 1533LE1 1533LP8 1533TL2 531LN1 155LA13 155LM3 555LA2	1533AP5 1533AP6 1533IR22 1533IR24 1533AP3 1533IR23	170AP2	170UP2	44256	565RU7V 565RU5V	512WI1	KA1845WJ1	TD10
ЧИСЛО ВЫВОДОВ		18	40	14	28	24	40	40	16	14	20	8	16	20	16	24	84	120
Ц	GND	9	1,20	10	14	12	7	20	8	7	10	4	8	20	16	12	11, 12, 52, 53	15, 31, 60, 75, 91, 120
Е	+5 V	18	40	5	28	24	26	31	16	14	20			10	8		32, 74	1, 30, 61, 90
П	+12 V											8	16					
Ь	-12 V											5						

ТАБЛИЦА ИСПОЛНЕНИЙ

ШИФР БЛОКА	ОБОЗНАЧЕНИЕ БЛОКА	ПЕРЕМЕННЫЕ ДАННЫЕ ДЛЯ ИСПОЛНЕНИЯ		
		D21	X4...X6	D74...D79, L9...L16, R37...R49, C11...C25 DR9, DR10, SW1, SW2, S5, S6, U4, X13, X14
8977/01	ИПВ6.469535.108	–	–	+
8977/02	ИПВ6.469535.108 -01	–	+	+
8977/03	ИПВ6.469535.108 -02	+	+	+
8977/04	ИПВ6.469535.108 -03	–	+	–
8977/05	ИПВ6.469535.108 -04	+	+	–

ЛИСТ РЕГИСТРАЦИИ ИЗМЕНЕНИЙ

Изм.	Номера листов (страниц)				Всего листов (страниц) в документе	N докум.	Входящий N сопроводительного докум. и дата	Подп.	Дата
	Измененных	Замененных	Новых	Аннулированных					
1		194, 195 195, 197, 198, 199 200, 201				64-93			10.3.93
2	6, 8, 16, 20, 23, 28, 38, 53, 60, 62, 65, 72, 74, 80, 87, 89, 90, 91, 92, 95, 108, 110, 133, 134, 135, 138, 139, 146, 151, 159, 163, 166, 167, 168, 177, 191, 195	5-7, 11, 12, 13, 14, 17, 22, 30, 32, 35, 37, 40, 42-52, 54-59, 61, 68-70, 111, 112, 117, 118, 119, 121, 131, 132, 147, 155-157, 160, 161, 162, 164, 169, 193,				479-93			7.4.93г.
3	108					508½-93			25.5.93
4	195, 196					1041½-93			9.9.93
5		197				1396½-93			25.11.93

Зак. 227 Тир. 100 1993

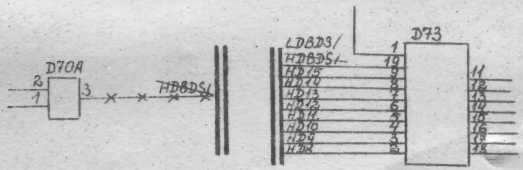
ИПВБ.417½-93ПИ

ИПВБ.417½-93ПИ

ИПВБ.469535.108ТО

Лист 207

ВНИМАНИЕ!



1750-93 ВНИМАНИЕ! 469535.108 ТО

Стр. 135 ; конец первого предложения первого абзаца текста после слов: " или дополнительного (второго)" дополнить словами: " при использовании соответствующего программного обеспечения".

Стр. 136 ; 6-ю и 12-ю строки снизу вычеркнуть:

~~0 | 1 | 0 | 0 | второй | EGA | Интеллект. | + | -~~

~~0 | 0 | 0 | 1 | первый | EGA | Интеллект. | + | -~~